نسخة تجريبية

بُـنـيـة الآلـة 2

STRUCTURE MACHINE 2

د. طه زروقي

Table des matières

مقدمة Préface

كتاب "بنية الآلة2" كتاب دروس وتمارين محلولة، موجهة لطلبة السنة الأولى رياضيات وإعلام آلي وشعبة الإعلام الآلي في الجامعات الجزائرية، ويحتوي في هذا الجزء على دروس السداسي الثاني :

- تصميم الدارات المنطقية
- الدارات التركيبية
- الدارات التعاقبية
- السجلات والذاكرات

ويحوي الكتاب عددا كبيرا من التمارين مقسّمة حسب الفصول، قسم كبير منها محلول، وكذلك قسم خاص بفحوص التقويم المستمر مع تصحيحها، وقسم آخر للامتحانات.
ويأتي هذا الكتاب ثمرة لخبرة اكتسبتها في التدريس في جامعة البويرة لسنوات عديدة في قسم الإعلام الآلي.
ويتميز الكتاب كذلك بثنائية اللغة، فالدروس فيه بالفرنسية ومترجمة إلى العربية، وذلك لمساعدة الطلبة المستجدين الذين يعانون من عائق اللغة في بدايتهم الجامعية. أتمنى أن يلقى هذا الكتاب القبول، ونرحب بالملاحظات والتوصيات لتحسينه مستقبلا.

المؤلف : د. طه زروقي
taha(dot)zerrouki (at) gmail(dot)com

عن المؤلف

الدكتور طه زروقي، أستاذ بجامعة البويرة في قسم علوم الحاسوب، متخرج من المدرسة الوطنية العليا للإعلام الآلي، مطوّر برمجيات حرة مفتوحة المصدر خاصة باللغة العربية مهتم ب :

- المعالجة الآلية للغات الطبيعية
- المصادر المفتوحة

قدّم دروسا في :

- بنية الآلة ومعمارية الحاسوب،
- برامج إدارة المشاريع
- لغات البرمجة

موقع : http://tahadz.com

This Book uses the ”mathbook.cls v1.41” class developped by Stéphane PASQUET.

The cover page made by Haithem Benhalima : haithem_bhm @ intagram

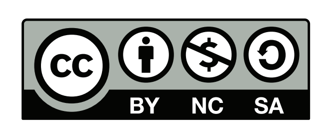
Many exercises and solutions were generated automaticaly by ”STRM-Test” project developed by the Author, available on github [1].

جزيل الشكر للأستاذ إلياس باديس والأستاذ إبراهيم جلابي على مشاركتهما في تدريس هذه المادة، وإبداء الملاحظات والتقويم للمحتوى المادة،

جزيل الشكر للطالب هيثم بن حليمة لمساهمته في تصميم الغلاف، والشكر موصول لكل من ساهم من قريب أو بعيد في صياغة هذا الكتاب.

تم إعداد المصطلحات بتصرف وفقا للمصادر الآتية، مع مراعاة مطابقتها للمنهاج الدراسي في الثانوية : (**compulex1990**), (**inforba2004**), (Zerrouki, 2012), (Zerrouki, 2013).

version 1.0, date : 13 juin 2022.



[1] https://github.com/linuxscout/strm-tests

Première partie

Résumé des cours ملخصات الدروس

Chapitre 1

Conception des circuits logiques

1.1 Etude d'une fonction logique — دراسة دالة منطقية

Une fonction logique est étudiée selon les étapes suivantes :
تُدرس دالة منطقية حسب الخطوات الآتية

1	Entrées / sorties	مداخل ومخارج
2	Table de vérité	جدول الحقيقة
3	Forme canoniques	الشكل القانوني
4	Simplification (algébrique ou table de Karnaugh)	التبسيط (جبريا أو بمخطط كارنوف)
5	Tracer le logigramme (schéma des portes logiques)	رسم المخطط المنطقي (مخطط البوابات المنطقية)

Définition textuelle d'une fonction Généralement la définition du fonctionnement d'un système est donnée sous un format textuelle .
Pour faire l'étude et la réalisation d'un tel système on doit avoir son modèle mathématique (fonction logique).
Donc il faut tirer (déduire) la fonction logique a partir de la description textuelle.
عادة تعطى تعريف عمل النظام بوصف نصّي. لذا علينا وضع نموذج رياضي (دالة منطقية) لدراسة هذا النظام، هذا النموذج يُستنتج من الوصف النصّي.

Exemple Une serrure de sécurité s'ouvre en fonction de trois clés. Le fonctionnement de la serrure est définie comme suite : La serrure est ouverte si au moins deux clés sont utilisées. La serrure reste fermée dans les autres cas
قفل ذو ثلاثة مفاتيح، يفتح بمفتاحين معًا على الأقل

Les entrées/sorties :

- Trois entrées : chaque entrée représente une clé.
- Une seule sortie : l'état de la serrure (ouverte ou fermé).

ثلاث مداخل

- ثلاث مداخل أو متغيرات
- كل مدخل يمثل مفتاحا

- مخرج واحد
- حالة القفل مفتوح أو مغلق

Les entrées/sorties

- Trois entrées :

  → Clé A : utilisé 1 non utilisé 0
  → Clé B : utilisé 1 non utilisé 0
  → Clé C : utilisé 1 non utilisé 0

- Une seule sortie :

  → l'état de la serrure (ouverte ou fermé).
  → S : Ouverte 1 Fermé 0

المداخل والمخارج

- ثلاث مداخل :

  → المفتاح A : مستعمل 1 غير مستعمل 0
  → المفتاح B : مستعمل 1 غير مستعمل 0
  → المفتاح C : مستعمل 1 غير مستعمل 0

- مخرج واحد :

  → حالة القفل.
  → القفل S : مفتوح 1 مغلق 0

نعرّف دالة المخرج بدلالة المداخل، فتصبح :

$S = F(A, B, C)$ ou bien noté $S(A, B, C)$

$$S(A,B,C) = \begin{cases} 1 & \text{si au mois deux clés sont introduites إذا أُدخل مفتاحان على الأقل} \\ 0 & \text{si non وإلّا.} \end{cases} \tag{1.1}$$

Table de vérité جدول الحقيقة

N°	A	B	C	S
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Forme canonique الشكل القانوني

1ère forme canonique **(forme disjonctive)** الشكل القانوني الأول : الشكل المفصول

$$S(a, b, c) = \overline{a}.b.c + a.\overline{b}.c + a.b.\overline{c} + a.b.c$$

2ème forme canonique **(forme conjonctive)** الشكل القانوني الثاني : الشكل الموصول

$$S(a, b, c) = (a + b + c)(a + b + \overline{c})(a + \overline{b} + c)(\overline{a} + b + c)$$

Formes numériques Il existe une autre représentation des formes canoniques d'une fonction , cette représentation est appelée forme numérique. On représente les termes par des numéros
$ABC => 111 => 7$ $AB\bar{C} => 101 => 5$
$S(a,b,c) = \overline{a}.b.c + a.\overline{b}.c + a.b.\overline{c} + a.b.c \rightarrow (011, 101, 110, 111) \rightarrow (3, 5, 6, 7)$

- R ou $\sum$: pour indiquer la forme disjonctive
  $S(a,b,c) = \sum(3,5,6,7)$ ou bien on utilise un **R**
  $S(a,b,c) = R(3,5,6,7)$
- P ou $\prod$: pour indiquer la forme conjonctive.
  $S(a,b,c) = \prod(0,1,2,4)$ ou bien on utilise un **P**
  $S(a,b,c) = P(0,1,2,4)$

1.2 Etudes de fonction non totalement définie

Dans certaine définition d'une fonction logique, on a des cas interdits
أحيانا نجد بعض الدوال فيها حالات ممنوعة أو مستحيلة

Exemple Une serrure de sécurité s'ouvre en fonction de trois clés A, B, C Le fonctionnement de la serrure est définie comme suite :

- S(A,B,C)= 1 si au moins deux clés sont utilisées
- S(A,B,C)= 0 sinon

Les clés A et C ne peuvent pas être utilisées en même temps.
قفل بثلاثة مفاتيح، A,B,C يفتح بمفتاحين معا على الأقل، **المفتاحان و A, C لا يمكن استعمالهما معًا**

Les cas interdits sont représenté comme **X**, c'est-à-dire "indéfini"
الحالات الممنوعة أو المستحيلة تمثل في جدول الحقيقة بـ**X**أي غير معرّف.

Table de vérité جدول الحقيقة

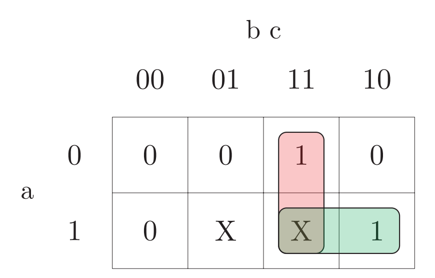
N°	A	B	C	S
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	X
6	1	1	0	1
7	1	1	1	X

Tableau de Karnaugh جدول كارنوف Il est possible d'utiliser les X dans des regroupements :

- Soit les prendre comme étant des 1
- Ou les prendre comme étant des 0
- Il ne faut pas former des regroupement qui contient uniquement des X

: regroupements des dans X les d'utiliser possible est Il
يمكن استعمال الحالات الممنوعة في تجميعات كارنوف، حسب الشروط :

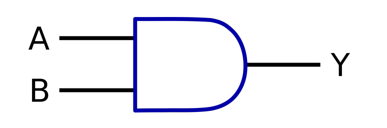
- يمكن اعتبار حالة ما واحدا عند الحاجة
- يمكن اعتبار حالة ما صفرا عند الحاجة
- لا تشكل مجموعة من الحالات الممنوعة فقط



1.3 Les portes logiques

1.3.1 Les portes logiques de base البوابات المنطقية الأساسية

Les portes logiques de base sont : le OU, ET, et non.



a	b	a et b
0	0	0
0	1	0
1	0	0
1	1	1

a	b	a ou b
0	0	0
0	1	1
1	0	1
1	1	1

نفي a صحيح إذا وفقط إذا كان a خاطئا، ونرمز له بخط علوي $\bar{a}$

a	$\bar{a}$
0	1
1	0

1.3.2 Les portes logiques combinées البوابات المنطقية الإضافية

البوابات المنطقية الإضافية أو المركبة هي نفي الوصل NAND، نفي الفصل NOR أو الإقصاء XOR، وتعرّف كما يلي

- نفي الوصل : $A\ NAND\ B = A \uparrow B = \overline{A.B}$
- نفي الفصل : $A\ \ NOR\ B = A \downarrow B = \overline{A + B}$
- الفصل الإقصائي : $A\ \ XOR\ B = A \bigoplus B = A.\bar{b} + \bar{A}.B$

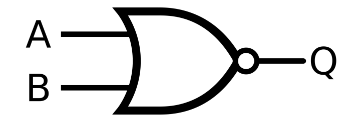
Les portes logiques combinées sont le NON-ET (NAND), le NON-OU (NOR) et le OU-Exclusif (XOR), qui sont définies par :

- NON-ET : $A\ NAND\ B = A \uparrow B = \overline{A.B}$
- NON-OU : $A\ NOR\ B = A \downarrow B = \overline{A + B}$
- OU-Exclusif : $A\ XOR\ B = A \bigoplus B = A.\bar{b} + \bar{A}.B$

NON-ET : نفي الوصل $A\ NAND\ B = A \uparrow B = \overline{A.B}$

NON-OU : نفي الفصل

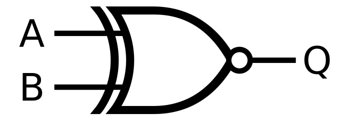
$A\ NOR\ B = A \downarrow B = \overline{A + B}$



a	b	$a \downarrow b$
0	0	1
0	1	0
1	0	0
1	1	0

OU-Exclusif : الفصل الإقصائي

$A\ Xor\ B = A \bigoplus B = A.\bar{b} + \bar{A}.B$



a	b	$a \bigoplus b$
0	0	0
0	1	1
1	0	1
1	1	0

1.4 Les propriétés algébriques des NAND et NOR خواص الجبرية لعاملي نفي الوصل ونفي الفصل

Universalité de l'opérateur NON-OU : La fonction NON-OU est dite « universelle » (comme la fonction NON-ET), car elle permet d'exprimer toutes les autres fonctions logiques.

العامل "نفي الفصل" NOR هو عامل منطقي شامل، أي يمكن أن نعبّر عن أي دالة منطقية باستعمال هذا العامل فقط.

نفس الأمر ينطبق على العامل "نفي الوصل" ,NAND

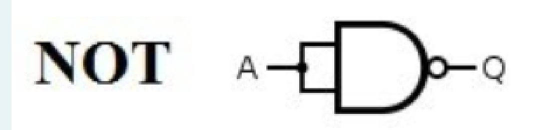
De même, La fonction NON-ET est dite « universelle » , car elle permet d'exprimer toutes les autres fonctions logiques. Donc on peut construire n'importe quelle fonction uniquement en utilisant la porte logique NON-ET.

Les circuits logiques sont souvent implant´es avec des portes NAND et NOR plutˆot que des portes AND et OR. Les portes NAND et NOR nécessitent moins de transistors pour l'implémentation, donc prennent moins de superficie sur les circuits intégrés, et donc sont moins chers((Cormier, 2015)).

غالبًا ما تُصنع الدارات المنطقية باستخدام بوابات NAND أو NOR بدلاً من البوابات الأساسية: الفصل والوصل والنفي. تتطلب بوابات

NAND و NOR عدداً أقل من الترانزستورات أثناء الصناعة، وعليه تأخذ مساحة أقل على الدوائر المتكاملة ، ما يخفض تكلفتها.

Exemple On peut exprimer le NON par le NAND comme suite :
$\overline{A} = \overline{A.A} = A \uparrow A$ يمكن أن نعبّر عن النفي بدلالة نفي الفصل فقط



On peut exprimer l'expression suivante uniquement avec NAND.
يمكن أن نعبّر عن العبارة الموالية بدلالة نفي الفصل فقط

$A.B + A + \overline{C} + B.C$
$\overline{\overline{A.B + A + \overline{C} + B.C}}$
$= \overline{\overline{A.B + A.\overline{C} + B.C}}$
$= \overline{\overline{A.B}.\overline{A.\overline{C}} + \overline{B.C}}$
$= \overline{(A \uparrow B).(A \uparrow \overline{C}).(B \uparrow C)}$
$= (A \uparrow B) \uparrow (A \uparrow \overline{C}) \uparrow (B \uparrow C)$
$= (A \uparrow B) \uparrow (A \uparrow (C \uparrow C)) \uparrow (B \uparrow C)$

1.5 La simplification التبسيط

Il existe deux méthodes de simplification

- Simplification par les propriétés algébriques.
- Simplification par la méthode graphique ç-a-d tableau Karnaugh.

يمكن التبسيط بطريقتين : جبريا حسب الخواص، وبيانيا بجدول كارنوف.

1.5.1 Simplification par les propriétés algébriques التبسيط بالخواص الجبرية

Exemple $s = a.b.c + a.\overline{b}.(\overline{\overline{a}.\overline{c}})$

Démonstration

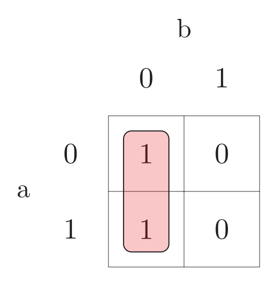
$s = a.b.c + a.\overline{b}.(\overline{\overline{a}.\overline{c}})$	transformation	تحويل
$s = a.b.c + a.\overline{b}.(a + c)$	Appliquer le théorème de De Morgan $(\overline{\overline{a}.\overline{c}}) = (\overline{\overline{a}} + \overline{\overline{c}}) = (a + c)$	تطبيق مبرهنة ديمورغن
$s = a.b.c + a.\overline{b}.a + a.\overline{b}.c$	Développement	نشر
$s = a.b.c + a.\overline{b} + a.\overline{b}.c$	réduction $(a.\overline{b}.a = a.\overline{b})$	اختزال
$s = a.\overline{b} + a.b.c + a.\overline{b}.c$	Les variables communes	العوامل المشتركة
$s = a.\overline{b} + a.c(b + \overline{b})$		
$s = a.\overline{b} + a.c$	car $b + \overline{b} = 1$	
$s = a(\overline{b} + c)$	variables communes	العوامل المشتركة

■

1.5.2 Simplification par les tableaux de Karnaugh التبسيط بجدول كارنوف

Le diagramme de Karnaugh est un outil graphique qui permet de simplifier une équation logique ou le processus de passage d'une table de vérité à un circuit correspondant (Müller, 2021).

جدول كارنوف وسيلة مرئية (مخطط) لتبسيط معادلة منطقية للمرور من جدول الحقيقة إلى رسم الدارة.



ab \ cd	00	01	11	10
00	0	0	0	0
01	0	1	1	0
11	0	1	1	0
10	1	0	0	1

Méthode

- On réunit les "1" adjacents par groupe de 2, 4, 8 etc.
- L'équation du circuit est donnée par la somme des produits des variables qui ne change pas d'état dans chaque regroupement. Donc $S1 = \overline{b}$ et $S2 = b.d + a.\overline{b}.\overline{d}$

- نجمّع الآحاد المتجاورة في مجموعات ثنائية أو رباعية أو ثمانية العناصر
- المعادلة الناتجة هي مجموع جداءات المتغيرات التي لا تتبدّل حالتها في كل تجميع ومنه $S1 = \overline{b}$ و $S2 = b.d + a.\overline{b}.\overline{d}$

Remarque

Remarque : Une sortie S est obtenue par les regroupements des zéros. نحصل على المخرج المعاكس S بتجميع الأصفار

Chapitre 2

Circuits Logiques

2.1 Les circuits combinatoires الدارات التركيبية

Définition Un circuit combinatoire est un circuit numérique dont les sorties dépendent uniquement des entrées.

- $S_i = F(E_i)$
- $S_i = F(E_1, E_2, ..., E_n)$

الدارة التركيبية (توفيقية) دارة منطقية مخارجها بدلالة مداخلها فقط

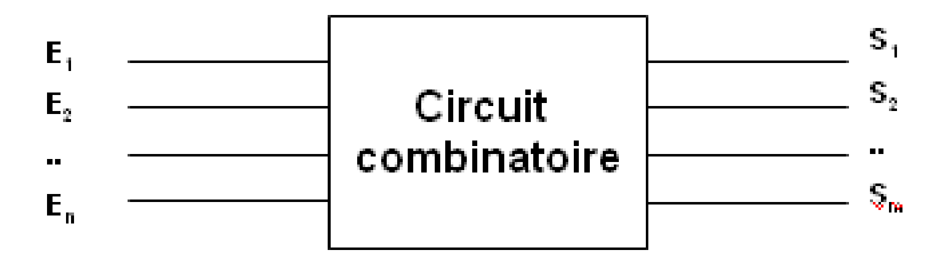


FIG. 2.1: Un circuit combinatoire en générale مخطط عام لدارة تركيبية

2.1.0.1 Les circuits combinatoires particuliers دارات تركيبية خاصة

- Multiplexeur — المنتخِب (المجمّع)
- Demultiplexeur — الموزّع
- Demi Additionneur — الجامع البسيط
- Additionneur complet — الجامع الكامل
- Comparateur — المقارن
- Encodeur — المرمز
- Décodeur — مفك الترميز
- Transcodeur — محول الترميز

2.1.0.2 Principe du Multiplexage et Démultiplexage مبدأ التجميع والتوزيع

Le multiplexage consiste à faire transiter sur une ligne unique des informations Va, Vb, Vc, Vd en provenance des émetteurs A, B, C et D. La sélection de l'information est faite par des lignes d'adresses (A0 , A1 dans l'exemple ci-dessus).

التجميع هو استعمال خط واحد لتمرير معلومات V_a, V_b, V_c, V_d قادمة من مرسلات A, B, C, D. اختيار المعلومة التي تمرّ حسب خطوط العناوين

A_0, A_1 Le démultiplexage est l'opération inverse : les informations en provenance de la ligne de transmission série sont aiguillées vers l'un des récepteurs (A', B', C', D') . La sélection du récepteur est faite par des lignes d'adresse (A_0, A_1) via une logique de contrôle (décodage d'adresse)

التوزيع عكس التجميع، فهو يوجّه المعلومات القادمة عبر خط وحيد، يوجهها إلى إحدى المستقبلات (A', B', C', D').
اختيار الوجهة التي تستقبل حسب خطوط العناوين A_0, A_1

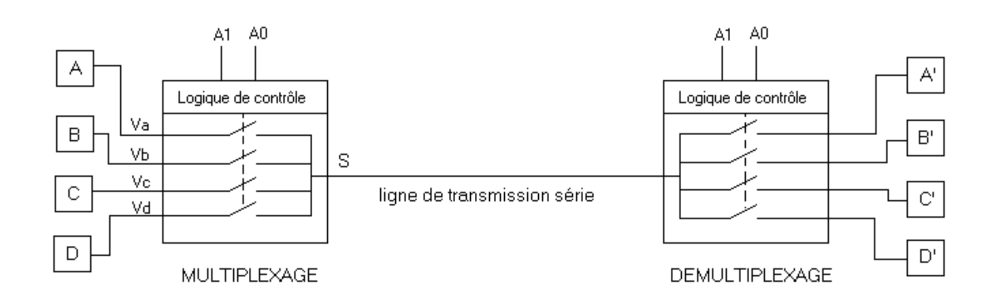


Fig. 2.2: Le multiplexage et le démultiplexage التجميع والتوزيع

2.1.0.3 Multiplexeur المجمّع

Un multiplexeur (abréviation : **MUX**) est un circuit permettant de concentrer sur une même voie de transmission différents types de liaisons (informatique, télécopie, téléphonie, télétex) en sélectionnant une entrée parmi 2^n. Il possède donc N entrées, une seconde entrée de N bits permettant de choisir quelle entrée sera sélectionnée, et une sortie.

المجمّع أو المنتخب دارة تمرر عدة معلومات عبر ممر واحد، وتستعمل لتمرير البيانات عبر خط مختلط (شبكة حواسيب، هاتف، فاكس)، للمجمّع $2\hat{}n$ مدخلا، و مخرج واحد، ومداخل للعنوان عددها n .
، تختار المعلومة التي ستمرّ حسب مداخل العنوان.

.

Table de vérité جدول الحقيقة L'entrée A ou B est propagée sur la sortie Z suivant la valeur de S_0

المدخل A أو B تمر إلى المخرج Z حسب قيم S_0 .

S_0	Z
0	A
1	B

Schéma d'un multiplexeur 4 vers 1 basé sur des portes NON, ET, OU. Le code 10 sélectionne la troisième entrée (C). Le code 11 aurait sélectionné la dernière entrée (D) (cf. figure 2.4).

مخطط مجمع 4 نحو 1، الرمز 10 يختار المدخل الثالث C، الرمز 11 يختار المدخل الأخير D.

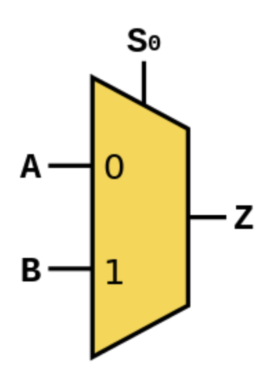


Fig. 2.3: Schéma logique d'un multiplexeur مخطط منطقي لمجمع 2 إلى 1

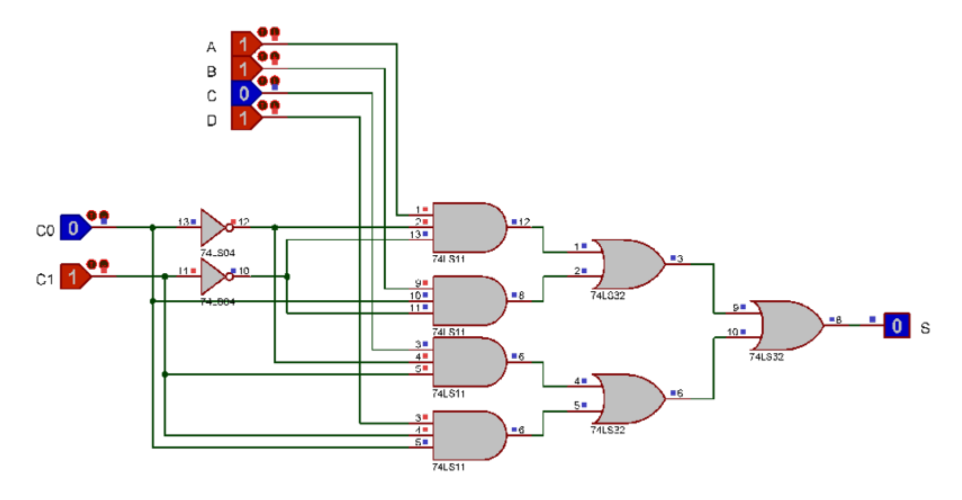


Fig. 2.4: Schéma logique détaillé d'un multiplexeur المخطط المفصل لمجمّع

2.1.0.4 Démultiplexeur الموزّع

Un démultiplexeur est un circuit combinatoire à N+1 entrées et 2^N sorties. N entrées, appelées entrées d'adressage, permettent d'envoyer sur l'une des sorties la dernière entrée, appelée l'entrée donnée.
الموزّع دارة تركيبية ذات مدخل واحد و 2^n مخرج و n خطا للعنوان . الدارة تمرر المعلومة المدخلة عبر مخرج واحد من بين المخارج حسب العنوان المدخل .

Table de Vérité جدول الحقيقة
Table de vérité d'un démultiplexeur 2 vers 4, les entrées sont C1C0 et les sorties S1, S2, S3, S4.
Table de vérité جدول حقيقة موزّع 2 إلى 4

C1	C0	S1	S2	S3	S4
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

2.1.0.5 Demi-additionneur الجامع البسيط

À partir de cette table de vérité on peut par exemple construire le circuit suivant, appelé « demi-additionneur » : من الجدول نجز المخطط التالي
Demi-additionneur (1 bit) où A et B sont les entrées, S la somme A + B et C la retenue.

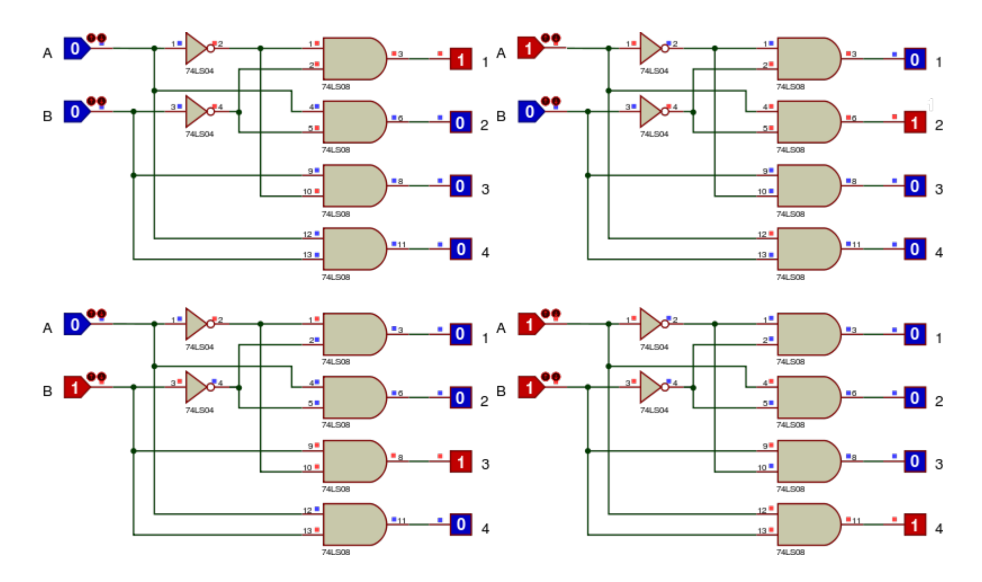


Fig. 2.5: Un démultiplexeur de 2 vers 4, montré dans les 4 états possibles موزّع 2 إلى 4

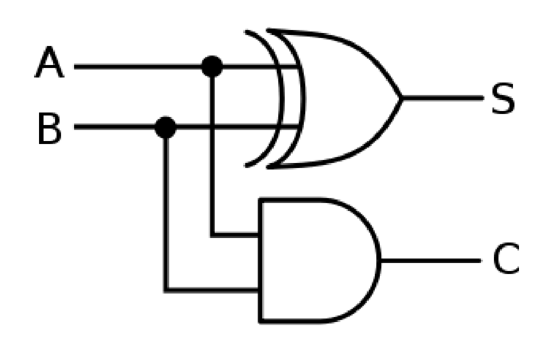


Fig. 2.6: Un demi additionneur 1 bit. جامع بسيط لبت واحد

2.1.0.6 Additionneur complet الجامع الكامل

Un additionneur complet nécessite une entrée supplémentaire : une retenue L'intérêt de celle-ci est de permettre le chaînage des circuits.

Remarquons dans le tableau ci-dessus que A+B représente le poids faible tandis que Retenue représente le poids fort.

الجامع الكامل يحتاج إلى مدخل إضافي يمثل الاحتفاظ من العملية السابقة، من أجل جمع أعداد طويلة.

لاحظ أنّ مجموع A+B يمثل القوة الدنيا، في حين يمثل الاحتفاظ القوة العليا.

Table de vérité

A	B	R_{i-1}	S	R
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

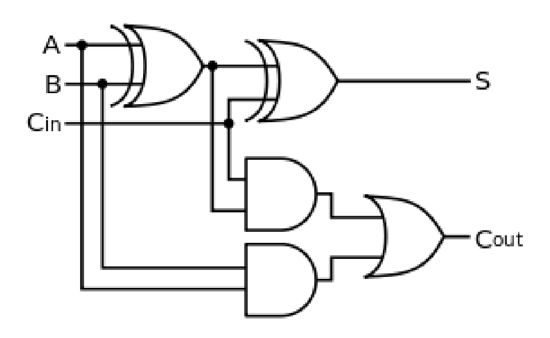


Fig. 2.7: Un additionneur complet 1 bit. جامع كامل لبت واحد

2.1.0.7 Additionneur parallèle à propagation de retenue جامع متوازي باحتفاظ متنقل

Il est possible de chaîner plusieurs additionneurs un bit pour en fabriquer un capable de traiter des mots de longueurs arbitraires :

لجمع أعداد طويلة يمكن ربط جوامع كاملة لبت واحد، بأن نجعل الاحتفاظ الناتج من عملية ينتقل إلى الجامع الموالي,

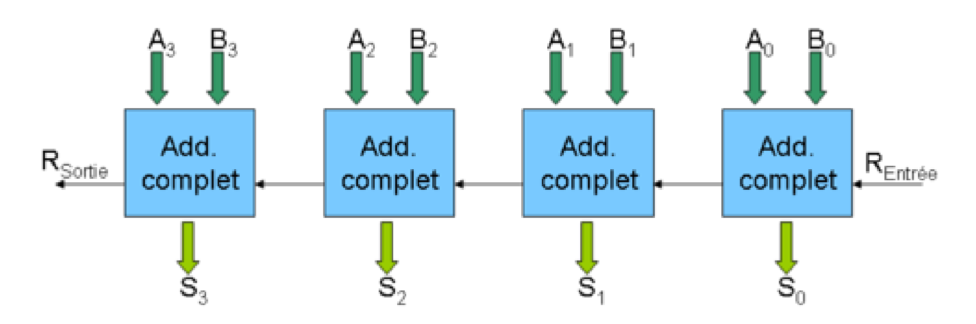


Fig. 2.8: Quatre additionneurs 1 bit chaînés pour former un additionneur 4 bits. جوامع لبت واحد مربوطة لتشكيل جامع لأربعة بتات

2.1.0.8 Comparaison binaire المقارنة الثنائية

Un comparateur binaire compare deux mots A et B et affecte ses trois sorties en fonction du résultat de la comparaison.

Si A est strictement supérieur à B, alors la sortie « $A > B$ » passe à 1 (et les deux autres sont mises à zéro).

Si A égal B, alors la sortie « $A = B$ » est mise à 1. De même si A inférieur strict à B, la sortie « $A < B$ » est mise à 1.

المقارن الثنائي يقارن عددين A و B ، ويعطي النتيجة على ثلاثة مخارج، المخرج $A = B$ يكون واحدا، إذا كان العددان متساويان، أما المخرج $A < B$ يكون واحدا إذا كان $A < B$ ، ومخرج $A > B$ إلى واحد حين يكون A أكبر من B .

Les entrées de mise en cascade permettent de connecter d'autre comparateurs afin de pouvoir comparer des mots plus grands (8 bits, 12 bits ...). Si elles ne sont pas utilisées, il faut mettre A=B et A>B au niveau 1, et A<B au niveau 0 pour un fonctionnement correct du comparateur.

مداخل الربط تستعمل لوصل دارات مقارنة بعضها ببعض لمقارنة أعداد أطول.

حين تكون مداخل الربط غير مستعملة، نجعل $A = B$ و $A > B$ في الواحد، و نجعل $A < B$ في الصفر.

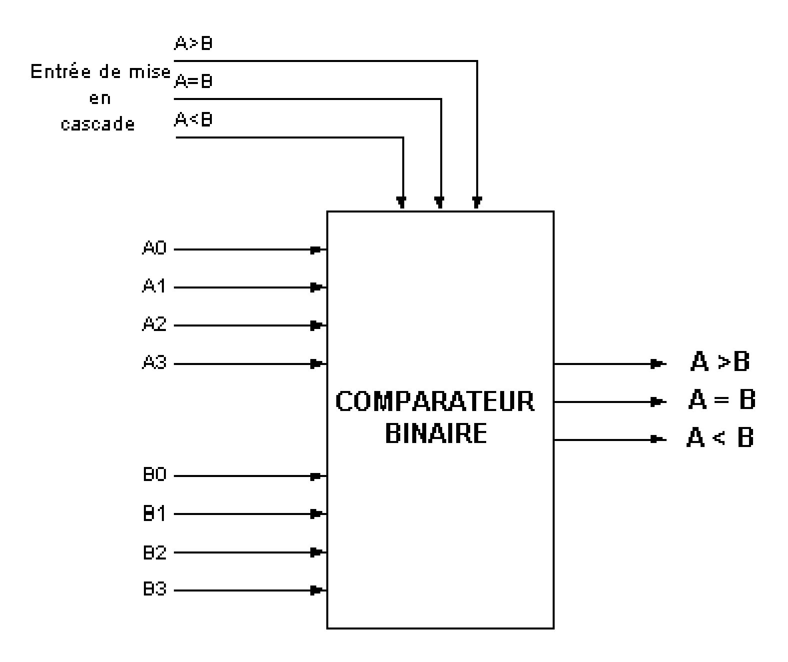


Fig. 2.9: Comparateur binaire مقارن ثنائي

2.1.0.9 Les circuits combinatoires de transcodage دارات تحويل الترميز

Les circuits combinatoires de transcodage (appelés aussi convertisseurs de code), se répartissent en 3 catégories. Tous ces circuits logiques transforment une information présente à leurs entrées sous une forme donnée (code 1) en la même information présente à leurs sorties sous une forme différente (code 2). On appelle :

دارات التحويل (محوّلات الترميز) تحوّل معلومة مدخلة ممثلة بالترميز 1 إلى معلومة مخرجة ممثلة بالترميز 2، وهي ثلاثة أقسام :

- المرمز ذو 2^n مدخلا و n مخرجا.
- **مفك الترميز** ذو n مدخلا و 2^n مخرجا، يكون مخرج واحد فعّالا فقط.
- **المحوّل** أي دارة تحويل ترميز أخرى عدا المرمز ومفك الترميز، ذي p مدخلا و k مخرجا.

- **Codeur** un circuit à 2^n entrées et n sorties.
- **Decodeur** un circuit à n entrées et 2^n sorties dont une seule est validée à la fois.
- **Transcodeur** tout autre circuit convertisseur de code différent des précédents, à p entrées et à k sorties.

2.1.0.10 Les Codeurs (Encodeurs) المرمّز

Un **Codeur** est un circuit qui comporte 2^n. en entrée et n lignes en sortie. A chaque ligne d'entrée correspond un code unique en sortie :

المرمز ذو 2^n مدخلا وn مخرجا، كل مدخل يوافقه ترميز واحد في المخرج.

Table de vérité d'un Codeur 8 à 3

Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	A2	A1	A0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

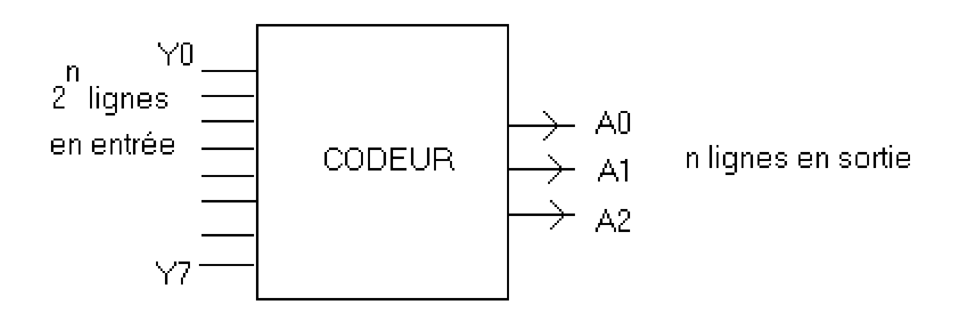


FIG. 2.10: Encodeur 8 à 3 .مرمّز 8 إلى 3

2.1.0.11 Les Décodeurs مفك الترميز

Un **Decodeur** est un circuit qui comporte n lignes d'entrée et 2^n lignes en sortie. Il sélectionne une sortie unique en fonction du mot binaire en entrée.

مفك الترميز هو دارة بها n مدخل و 2^n مخرج، يختار مخرجًا وحيدًا حسب العدد المُدخل.

Table de vérité d'un décodeur 3 à 8:

A2	A1	A0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

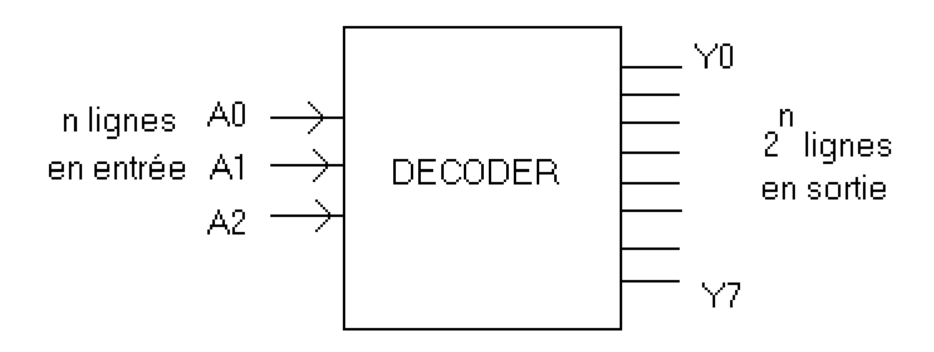


FIG. 2.11: Décodeur (3 à 8) مفكك ترميز من 3 إلى 8

2.1.0.12 Les transcodeurs — المحوّلات

Un transcodeur (ou convertisseur de codes) est un dispositif permettant de passer du nombre N écrit dans le code C1 au même nombre N écrit dans le code C2.

المحولات تحوّل معلومة من ترميز إلى ترميز آخر، نذكر منها :

Parmi les transcodeurs on peut citer :

- les transcodeurs décimal / BCD — محول من العشري إلى BCD
- les transcodeurs BCD / décimal — محول من BCD إلى العشري
- les transcodeurs XS 3 / décimal — محول من المزيد ب3 إلى العشري
- les transcodeurs Gray excédant 3 — محول من غراي إلى المزيد ب3
- les transcodeurs BCD/ afficheur 7 segments — محول من BCD إلى عارض 7 قطع
- les transcodeurs binaire 5 bits/BCD — محول من الثنائي على 5 بتات إلى BCD

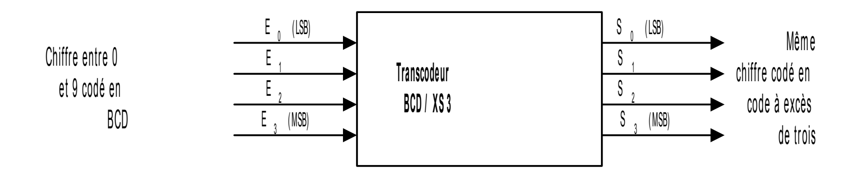


Fig. 2.12: Symbole du transcodeur BCD/XS3 (محول BCD/XS3)

Chapitre 3

Les circuits séquentiels الدارات التعاقبية

3.1 Introduction

Un circuit combinatoire est un circuit numérique dont les sorties dépendent uniquement des entrées : $S = f(E)$.
L'état du système ne dépend pas de l'état interne du système. Pas de mémoration de l'état du système.
الدارة التركيبية تتعلق مخارجها بمداخلها فقط، وحالة النظام الداخلية لا تؤثر في المخارج، أي أنها لا تتذكر حالتها.
Un circuit séquentiel est un circuit numérique (logique) dont **l'état** à l'instant $t+1$ est une fonction des entrées en même instant $t+1$ et de **l'état précédente du système** (l'instant t).

- $S_{t+1} = f(E, S_t)$
- $S^+ = f(E, S)$

الدارة التعاقبية هي دارة منطقية تتعلق حالتها في اللحظة t+1 بدلالة مداخلها في اللحظة t+1، وحالتها السابقة في اللحظة t.

3.1.1 Systèmes synchrones الأنظمة المتزامنة

Une horloge est une variable logique qui passe successivement de 0 à 1 et de 1 à 0 d'une façon périodique.
Cette variable est utilisée souvent comme une entrée des circuits séquentiels $\longrightarrow$ le circuit est dit synchrone (cf. figure 3.1).
L'horloge est notée par H ou CK (clock).
الساعة أو المُؤقّت هي متغير منطقي يمر من 1 إلى 0 ومن 0 إلى 1 دوريا، يستعمل متغيّر الساعة مَدخلا في الدارات التعاقبية ليجعلها متزامنة (انظر الشكل 3.1). ويرمز له بـ H أو C (clock) .

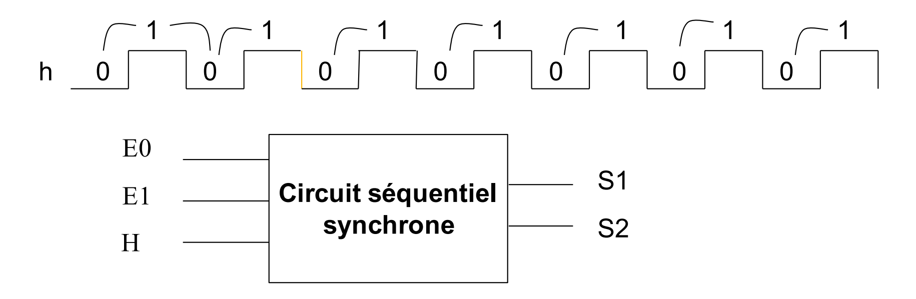


Fig. 3.1: Circuit séquentiel avec une entrée de l'horloge دارة تعاقبية ذات مدخل للساعة

3.1.2 Etude des bascules دراسة القلابات

La bascule est un circuit bistable pouvant prendre deux états logiques **"0"** ou **"1"** .
L'état de la bascule peut être modifié en agissant sur une ou plusieurs entrées. Le **nouvel état** de la bascule **dépend de l'état précédent**, c'est l'élément de base des circuits séquentiels.
La bascule peut **conserver** son état pendant une durée quelconque, elle peut donc être utilisée comme **mémoire**.

القلّاب دارة ثنائية الاستقرار تأخذ حالتين منطقيتين 0 و 1.
وحالتها تتبدل بتعديل بعض مداخلها. حالتها الجديدة تتعلق بحالتها السابقة، لذا يعتبر القلاب الدارة الأساسية في الدارات التعاقبية.
القلاب يستطيع **حفظ حالته السابقة** لفترة زمنية، لذا يُستعمل **كذاكرة**.

Il existe plusieurs types des bascules :

- Bascules RS (bascules Asynchrones)
- Bascules RSH (bascules RS synchrones)
- Bascules T
- Bascules D
- Bascules JK

القلابات أنواع سنرى منها

- قلابات RS غير المتزامنة
- قلابات RSH المتزامنة
- قلابات T
- قلابات D
- قلابات JK

3.1.2.1 Bascules R S قلابات

La bascule RS est définie par le schéma bloc de la figure 3.2 et par la table de vérité suivante, sachant que :

- S : Set = mise à un, Q_{t+1} est forcé à un par S.
- R : Reset = mise à zéro, Q_{t+1} est forcé à un par R.
- Lorque S et R sont à zéro, la sortie Q_{t+1} garde la même valeur précédente.
- Lorque S et R sont à un, cas interdit.

يعرّف القلاب RS بالشكل 3.2 و بجدول الحقيقة الموالي حيث :

- المتغير S يجعل المخرج واحداً (توحيد)
- المتغير R يجعل المخرج صفراً (تصفير)
- حين يكون المتغيران معا في الصفر، يحفظ المخرج حالته السابقة
- حين يكون المتغيران معا في الواحد، حالة ممنوعة

R	S	Q_t	
0	0	Q_t	Etat mémoire ذاكرة
0	1	1	Remise à 1 توحيد
1	0	0	Remise à 0 تصفير
1	1	X	Interdit ممنوعة

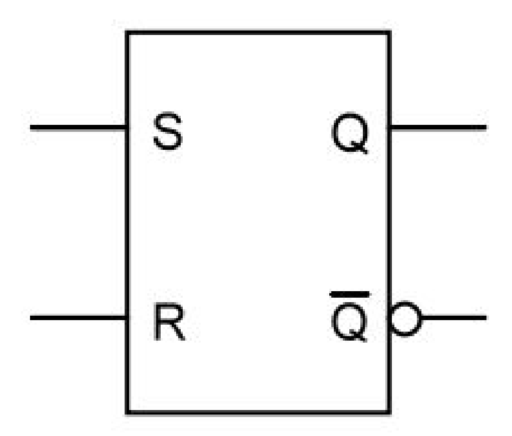


Fig. 3.2: Schéma bloc d'une bascule RS المخطط المُصمَت لقلاب

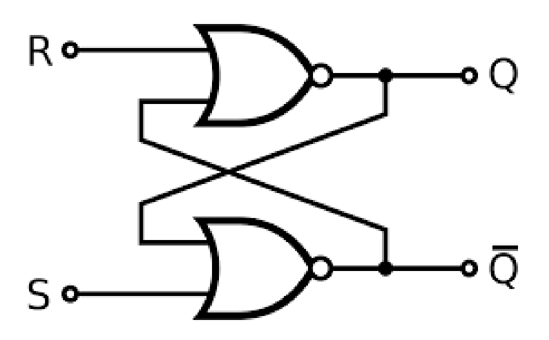


Fig. 3.3: Logigramme d'une bascule RS المخطط المنطقي لقلاب

3.1.2.2 Bascule RSH synchrone القلاب المتزامن

C'est une bascule RS dont la prise en compte de l'état des entrées est synchronisée par **une impulsion d'horloge**. Ceci permet d'éviter l'arrivée accidentelle de "zéro" sur R ou sur S.
القلاب RSH مشتق من القلاب RS بمزامنته **بنبضة مؤقت** (ساعة)، مما يمنع الوصول المفاجئ للصفر على المدخل R أو S. حين تكون الساعة في الصفر، نحفظ الحالة السابقة.

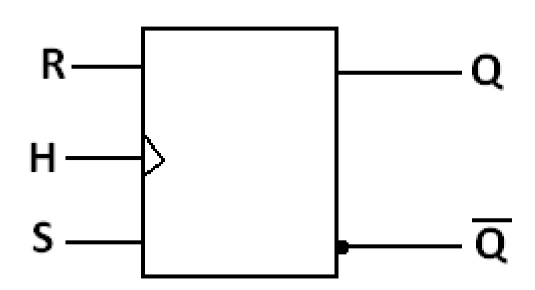


Fig. 3.4: Schéma bloc d'une bascule RSH المخطط المُصمَت لقلاب

Signal d'horloge : Une bascule synchronisée peut être déclenchée sur le **front montant** ⎍ ou sur le **front descendant** ⎍ de l'impulsion d'horloge. De plus, afin d'obtenir un fonctionnement correct, le constructeur indique des temps à respecter.
إشارة المؤقت : ينطلق القلاب المتزامن عند **الجبهة الصاعدة** ⎍ أو **الجبهة النازلة** ⎍ لنبضة الساعة. يعطي الصانعون توضيحات عن الوقت المطلوب احترامه من أجل السير الصحيح للدارة.

Table de vérité جدول الحقيقة

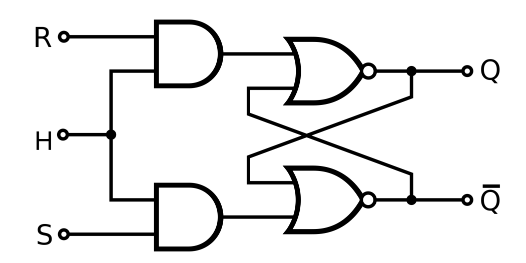
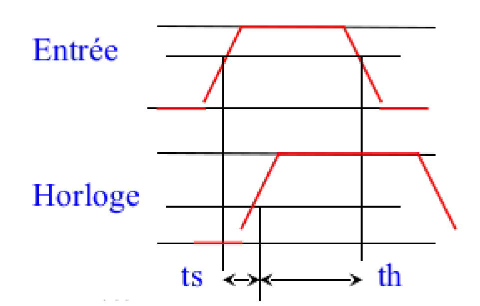


FIG. 3.5: logigramme d'une bascule RSH المخطط المنطقي لقلاب



ts : temps de stabilisation زمن الاستقرار .

th : temps de maintien (holding time) زمن التحكم

FIG. 3.6: Synchronisation التزامن

h	R	S	Q_t	$\overline{Q_t}$	
0	X	X	Q_{t-1}	$\overline{Q_{t-1}}$	
$\uparrow$	0	0	Q_{t-1}	$\overline{Q_{t-1}}$	
$\uparrow$	0	1	1	0	
$\uparrow$	1	0	0	1	
$\uparrow$	1	1	X	X	Interdit

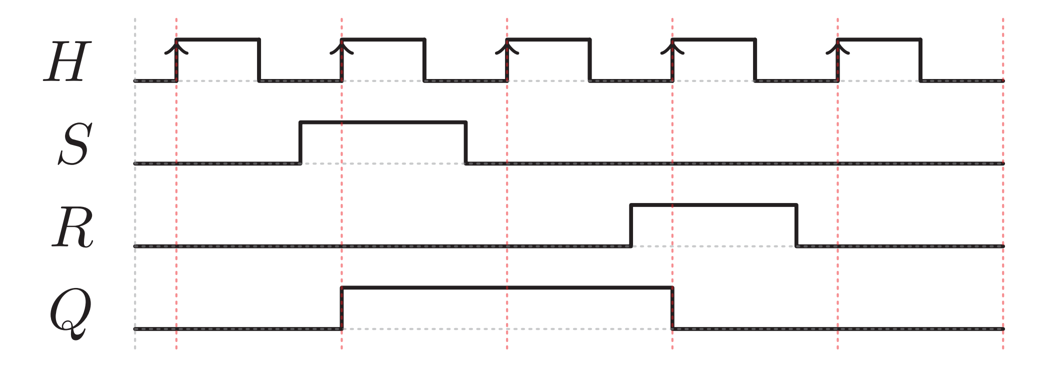


FIG. 3.7: Chronogramme d'une bascule RSH المخطط الزمني

3.1.2.3 Bascule J K synchrone القلاب ج.ك المتزامن

La bascule J K synchrone (simple étage) est obtenue à partir d'une bascule RSH dont les sorties sont rebouclées sur les entrées. Ceci permet d'éliminer l'état indéterminé.

القلاب ج.ك مشتق من القلاب RSH، بربط مخارجه إلى مداخله، مما يقصي الحالة الممنوعة.

Remarque

Remarque : Pour J = K = .1. , on dit que l'on est dans le mode basculement.
ملاحظة حين يكون ج=ك=1، نكون في حالة القلب (الانقلاب)، أي الحالة الحالية هي عكس الحالة السابقة.

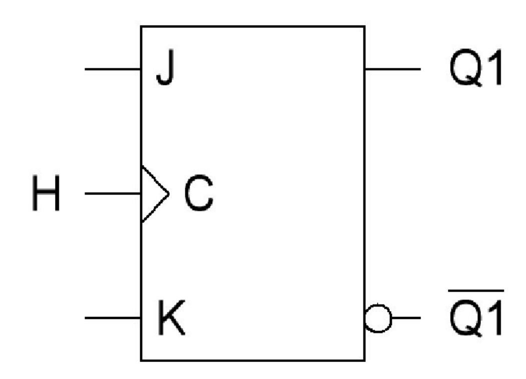


Fig. 3.8: Schéma bloc d'une bascule JK المخطط المصمت لقلاب ج.ك

Table de vérité جدول الحقيقة

h	J	K	Q_t	
0	X	X	Q_{t-1}	
↑	0	0	Q_{t-1}	
↑	0	1	0	
↑	1	0	1	
↑	1	1	$\overline{Q_{t-1}}$	Basculement

3.1.2.4 La bascules J.K en mode asynchrone القلاب ج.ك في النمط اللامتزامن

يُزوّد القلاب ج.ك بمداخل للتصفير والتوحيد غير المتزامن تكون لها الأولوية على الساعة ويعمل بالمنطق العكسي، يسمح هذا التركيب بفرض قيم معينة على القلاب.

La bascule JK peut être dotée

- Deux entrées Pr (preset) et cl (clear) asynchrone
- Plus prioritaire que l'horloge
- Pr et Cl fonctionne avec la logique négative.

3.1.2.5 Bascule D synchrone القلاب د المتزامن

Une bascule D est réalisée à partir d'une bascule RS ou JK dont les entrées sont reliées par un inverseur. Ceci impose donc que les entrées prennent des états complémentaires.
القلاب D مشتق من القلاب RS أو ج.ك بربط مدخليه بعاكس، مما يجعل مداخله تأخذ حالتين متتامتين.

Table de vérité جدول الحقيقة

h	D	Q_t
0	X	Q_{t-1}
↑	0	0
↑	1	1

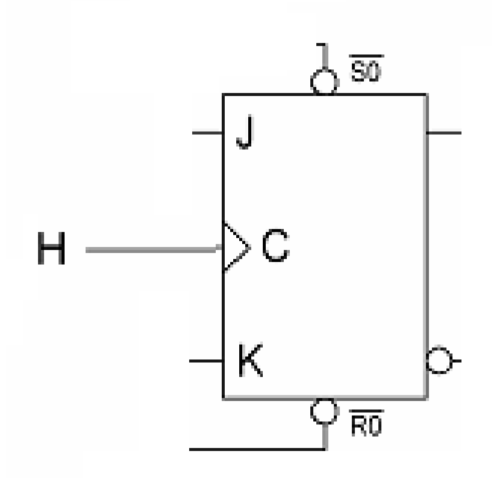


Fig. 3.9: Schéma d'une bascule JK asynchrone المخطط المصمت لقلاب ج.ك غير المتزامن

Mode	Pr	Cl	H	J	K	Q+	Remarque ملاحظة
Asynchrone	0	0	X	X	X	X	Interdit ممنوع
نمط غير متزامن	0	1	X	X	X	1	Mise à 1 توحيد
	1	0	X	X	X	0	Mise à 0 تصفير
Synchrone	1	1	0/1	X	X	Q	Etat mémoire ذاكرة
نمط متزامن	1	1	↑	0	0	Q	Etat mémoire ذاكرة
	1	1	↑	0	1	0	Mise à 0 تصفير
	1	1	↑	1	0	1	Mise à 1 توحيد
	1	1	↑	1	1	$\overline{Q}$	Basculement قلب

Fig. 3.10: Table de vérité d'une bascule JK asynchrone جدول الحقيقة للقلاب ج.ك في النمط اللامتزامن

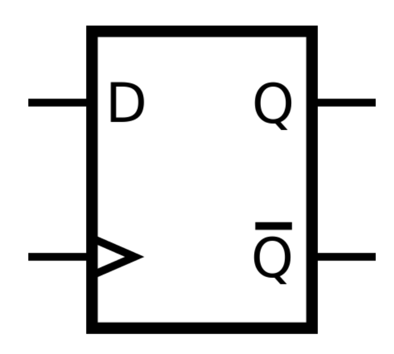


Fig. 3.11: Schéma bloc d'une bascule D المخطط المصمت للقلاب د

Utilisation : La sortie prend l'état de l'entrée D après l'impulsion d'horloge. Ceci permet par exemple de synchroniser le transfert de données en parallèle.

استعمال : المخرج يأخذ حالة المدخل عند نبضة الساعة، مما يساعدنا في مزامنة نقل البيانات على التوازي.

3.1.2.6 Bascule D à verrouillage (Latch) قلاب د القفل

Cette bascule ne possède pas de circuit détecteur de front et la sortie Q prend donc l'état de l'entrée D tant que l'horloge est à l'état haut.

في القلاب D بالقفل يأخذ المخرج Q حالة المدخل حين تكون نبضة الساعة في المستوى العلوي

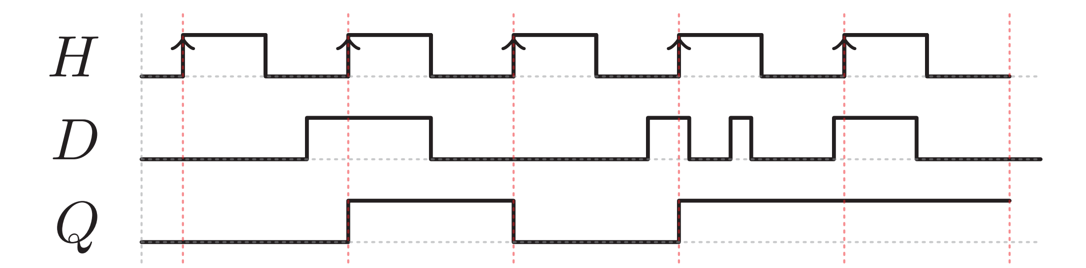


FIG. 3.12: Exemple d'un chronogramme d'une bascule D مثال مخطط زمني للقلاب د

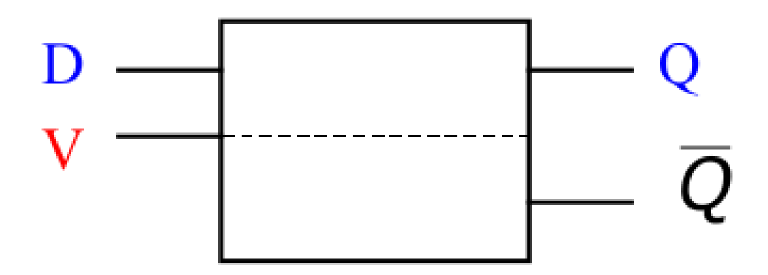


FIG. 3.13: Schéma bloc d'une bascule D latch مخطط مصمم للقلاب د القفل

Table de vérité d'une bascule D-latch جدول الحقيقة للقلاب د القفل

D	V	Q_t
x	0	Q_{t-1}
0	1	0
1	1	1

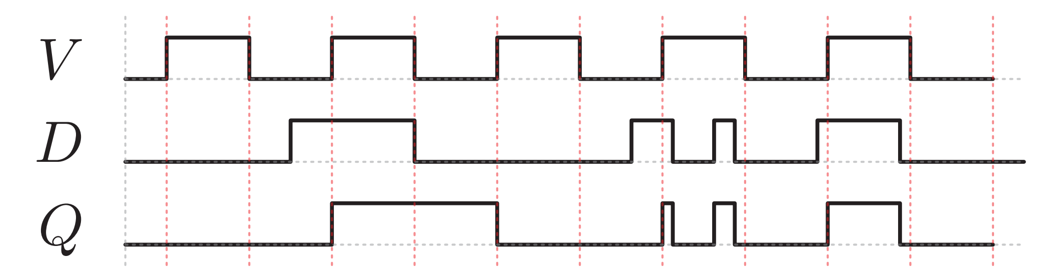


FIG. 3.14: Exemple d'un chronogramme d'une bascule D Latch مثال مخطط زمني للقلاب د القفل

Remarque

On ne parle plus dans cette bascule de l'entrée d'horloge mais plutôt de l'entrée de validation.
ملاحظة : في هذه الحالة نبضة الساعة ليست للتوقيت، بل للمصادقة.

Chapitre 4

Registres, Mémoires السجلات والذاكرات

Une fonction importante en logique séquentielle est la fonction mémoire. Dans un système informatique, quel que soit sa forme, la mémoire est primordiale. Nous allons voir un type particulier de mémoire, les registres, ou mémoire statique.

الذاكرة أهم وظائف الدارات التعاقبية، وهي حيوية جدا للنظام المعلوماتي، وفي ما يأتي سنلقي نظرة على الذاكرة والسجلات
.

4.0.1 Mémoire 1 bit ذاكرة 1 بت

La cellule de base de tous les types de registres est la mémoire statique 1 bit :

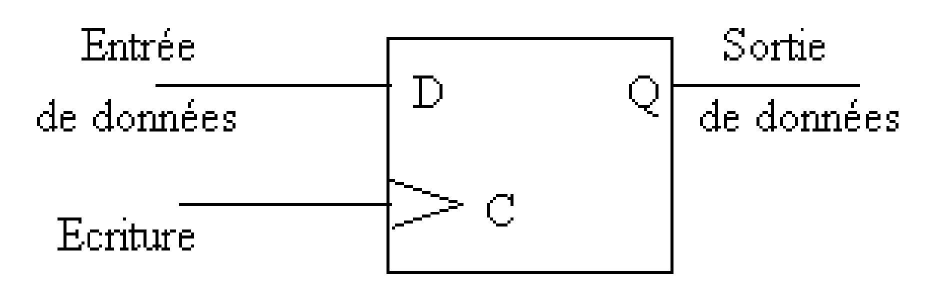


Fig. 4.1:

Sur un front montant (ou descendant) de l'entrée de contrôle C, la mémoire prend la valeur présentée en entrée et la maintient jusqu'au prochain front montant (descendant) de C.

عند الجبهة الصاعدة (أو النازلة) لمدخل التحكم C ، تأخذ الذاكرة القيمة الحاضرة في المدخل وتحفظها حتى الجبهة الصاعدة (أو النازلة) القادمة ل C.

.

Il peut y avoir présents des entrées Set et Reset pour forcer à 0 ou à 1 la cellule mémoire.

قد يكون لها ايضا مدخلان set و reset لتصفير الذاكرة أو توحيدها

.

L'entrée de contrôle (ou horloge) C est ici appelée bit d'écriture ; en effet, c'est un front montant (descendant) sur cette ligne qui déclenche une écriture dans la cellule mémoire. La lecture est quand à elle permanente, l'état " interne " étant présent en permanence sur la ligne de sortie Q. Il est à noter que la sortie $\bar{Q}$ n'est pas utilisée.

يسمى مدخل التحكم أو الساعة بـ "بت الكتابة"، أي أنّ جبهة صاعدة أو نازلة تُطلق عملية كتابة في الذاكرة .

بينما تكون القراءة دائمة،فحالة الذاكرة حاضرة دائما على المخرج Q، ونلاحظ أنّ المخرج العكسي $\bar{Q}$ غير مستعمل

.

On peut également trouver des mémoires avec une entrée de contrôle par niveau (au lieu de par front) mais c'est plus rare. Le principe est cependant le même, mais l'opération d'écriture se réalise durant toute la durée du niveau haut (ou bas) de C. Bien évidemment, l'entrée D ne doit pas changer pendant ce temps ! .

بعض الأنواع من الذاكرة تُزامِن على مستوى الساعة، بدلا من جبهتها، فتدوم الكتابة طيلة وقت المستوى، العلوي أو السفلي لمدخل التحكم C ، لذا ينبغي ألّا تتغير قيمة المدخل في الأثناء.

4.0.2 I.2 : Le registre السجلّ

Un registre est un ensemble de cellules mémoire de base. Il est de faible capacité (4, 8, 16, 64 bits) mais de temps d'accès très faible (rapide, quelques ns en général). Les données peuvent être écrites/lues en même temps (parallèle) ou une après l'autre (série).

السجل مجموعة من خلايا الذاكرة الأساسية، ذو حجم ضئيل(4، 8، 16، 64 بت) وزمن وصول سريع (ضئيل جدا بضع نانو ثواني)، يمكن أن تكتب البيانات فيها في الوقت نفسه أي على التوازي، أو واحدة بواحدة (على التسلسل).

Le nombre de bits du registre correspond au nombre de cellules mémoire (bascules D) du registre. Notons que toutes les entrées d'horloge (C) des cellules sont reliées. (ligne d'écriture).

عدد بتات السجل يساوي عدد خلاياه من الذاكرة (قلاب D)، ونلاحظ أنّ مدخل الساعة مشترك بين الخلايا (خط الكتابة).

4.0.3 Registre parallèle السجل المتوازي

Tous les bits sont lus et écrits en même temps (en parallèle). Par exemple, pour un registre parallèle 4 bits, le symbole et le schéma sont :

تكتب البيانات أوتقرأ في الوقت نفسه (على التوازي)، وإليك مثالا عن سجل متوازٍ ذي أربعة بتات.

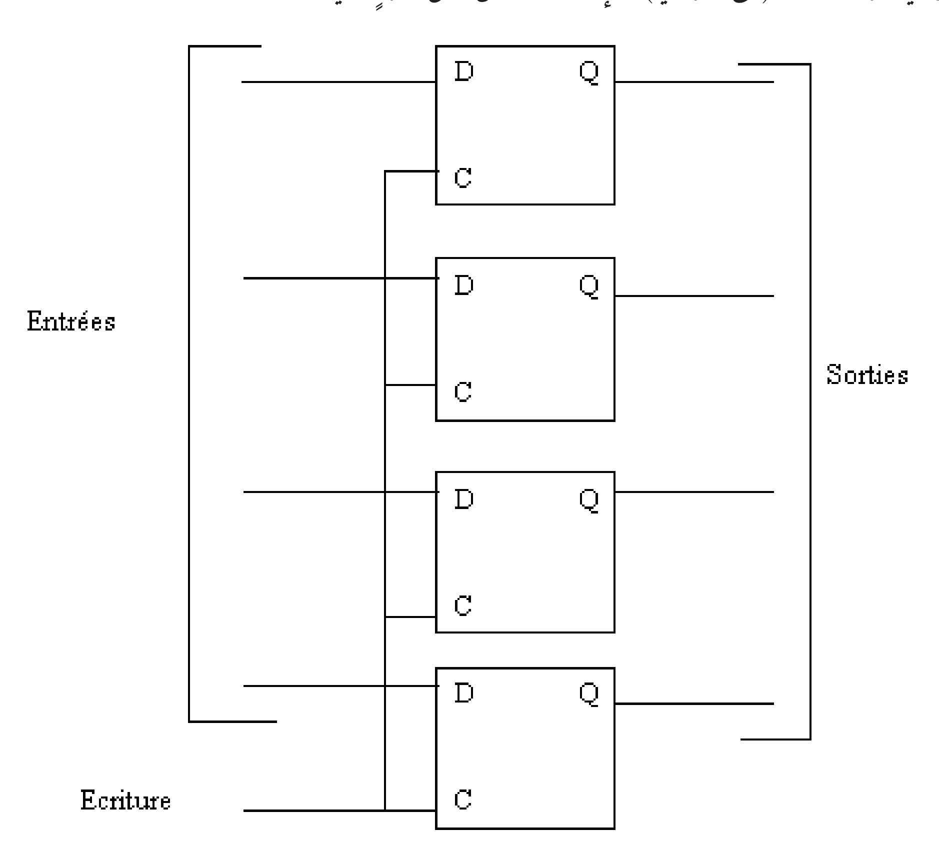


Fig. 4.2: Schéma de réalisation مخطط الإنجاز

Un registre parallèle est très rapide, mais pour un grand nombre de bits demande beaucoup de connections. Il est souvent fourni avec des entrées de type " 3 états " pour une connexion avec un bus.

السجل المتوازي سريع، ولكنه يحتاج لوصلات كثيرةمن أجل عدد بتات كبير .

ويأتي مزودا بمداخل ثلاثية الحالة لربطها مع الناقل

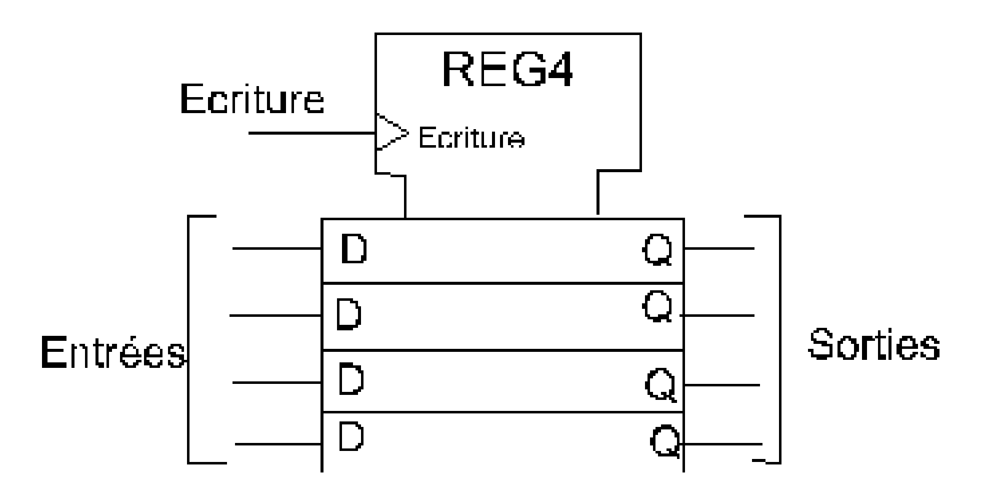


Fig. 4.3: Symbole رمز

.

4.0.4 I.4 : Registre série (registre à décalage) سجل متسلسل أو بالإزاحة

Les bits sont lus/écrits les uns après les autres, et décalés. Exemple de réalisation :
تكتب البيانات واحدة تلو الأخرى أي بالإزاحة، وإليك مثالا
:

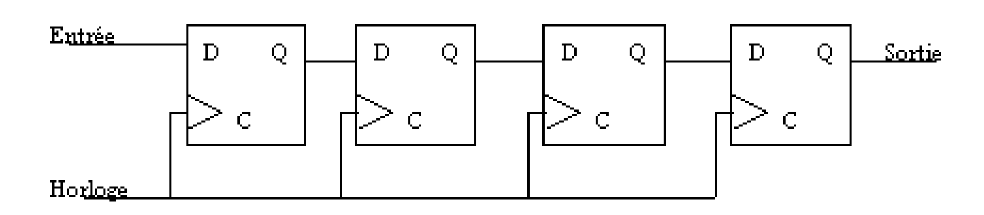


Fig. 4.4:

En 4 cycles d'horloge, un mot de 4 bits est mémorisé.
نحتاج لأربعة أدوار للساعة كي نحفظ كلمة من 4 بتات
Attention : le décalage se produit également pour la lecture : si les bits ne sont pas " réintroduits " à l'entrée, l'information est perdue !
تنبيه : تحدث الإزاحة أيضا في القراءة، لذا علينا تدوير البيانات على المدخل كي لا تضيع
. Le chronogramme de fonctionnement est le suivant (on veut mémoriser le mot '1011') :
يوضح المخطط الزمني الآتي حفظ كلمة '1011'

4.0.5 Registres mixtes السجلات المختلطة

On peut imaginer des registres mixtes, donc on peut écrire en parallèle et lire en série, ou vice-versa, ou qui offrent les deux possibilités " au choix ".
السجلات المختلطة يمكن أن تكتب البيانات على التسلسل وتقرأها على التوازي، أو العكس، أو على الخيار
.

4.1 La mémoire centrale

t

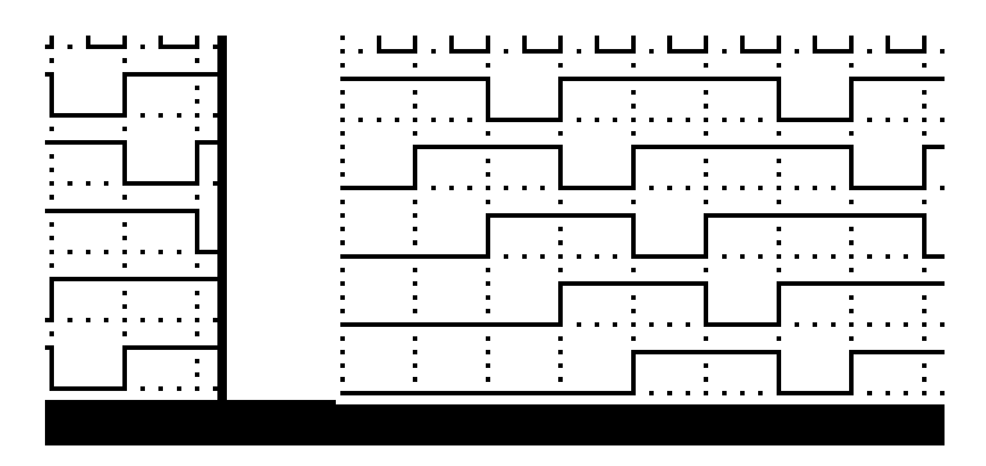


Fig. 4.5:

4.1.1 Introduction

- Avec une bascule c'est possible de mémoriser une information sur 1 seul bit.
- Avec un registre c'est possible de mémoriser une information sur n bits.
- Si on veut mémoriser une information de taille important ⟶ il faut utiliser une mémoire .
-
-
-

4.1.2 Architecture matérielle d'une machine (architecture de Von Neumann) (هندسة فون نيومان) هندسة الأجهزة للآلة

4.1.2.1 L'Unité Centrale (UC)(الوحدة المركزية)

L'unité centrale (appelée aussi processeur) a pour rôle d'exécuter les programmes.
L'UC est composée d'une unité arithmétique et logique (UAL) et d'une unité de contrôle.
L'unité arithmétique et logique réalise une opération élémentaire (addition, soustraction, multiplication, . . .) du processeur à chaque top d'horloge.
L'unité de commande contrôle les opérations sur la mémoire (lecture/écriture) et les opérations à réaliser par l'UAL selon l'instruction en cours d'exécution.
Pour pouvoir effectuer les opérations sur des données et exécuter des programmes l'UC doit disposer d'un espace de travail . Cette espace de travail s'appel la mémoire centrale.

دور الوحدة المركزية (وتسمى أيضًا المعالج) تنفيذ البرامج.
تتكون وحدة المعالجة المركزية من وحدة الحساب والمنطق (UAL) ووحدة تحكم.
تقوم وحدة الحساب والمنطق بإجراء عملية أساسية واحدة (جمع ، وطرح ، وضرب ، وغيرها) للمعالج في كل نبضة ساعة.
تحكم وحدة التحكم في العمليات على الذاكرة (قراءة / كتابة) والعمليات التي تنفذّها وحدة الحساب والمنطق UAL وفقًا للتعليمات قيد التنفيذ.
لتتمكن من إجراء العمليات على البيانات وتنفيذ البرامج ، يجب أن تحتوي وحدة المعالجة المركزية على مساحة عمل. تسمى مساحة العمل هذه

الذاكرة الرئيسية.

Définition **C'est quoi une mémoire ?** Une mémoire est un dispositif capable d'**enregistrer** une information, de la **conserver** (mémoriser), et de la **restituer** (possible de la lire ou la récupérer par la suite).

2. ما هي الذاكرة؟

الذاكرة هي جهاز قادر على تسجيل المعلومات وتخزينها (حفظها) واستعادتها (يمكن قراءتها أو استرجاعها لاحقًا).

Exemple **Exemple de mémoire :** La mémoire centrale, Un disque dur, Une disquette, Un flash disque La mémoire peut être dans le processeur (des registres) , interne (Mémoire centrale ou principale) ou externe (Mémoire secondaire).

مثال على الذاكرة : الذاكرة الرئيسية، قرص صلب، قرص مرن، قرص فلاش USB.

يمكن أن تكون الذاكرة في المعالج (سجلات) أو داخلية (ذاكرة مركزية أو رئيسية) أو خارجية (ذاكرة ثانوية).

Préfixe binaire		
Nom	Symbole	Valeur
kilooctet	Kio	2^{10}
mégaoctet	Mio	2^{20}
gigaoctet	Gio	2^{30}
téraoctet	Tio	2^{40}
pétaoctet	Pio	2^{50}
exaoctet	Eio	2^{60}
zettaoctet	Zio	2^{70}
yottaoctet	Yio	2^{80}

Fig. 4.6: Multiple d'octet مضاعفات البايت

4.1.3 Caractéristiques des mémoires خصائص الذاكرة

4.1.3.1 La capacité d'une mémoire سعة الذاكرة

La capacité (taille) d'une mémoire est le nombre (quantité) d'informations qu'on peut enregistrer (mémoriser) dans cette mémoire.
La capacité peut s'exprimer en :

- Bit : est l'élément de base pour la représentation de l'information .
- Octet : 1 Octet = 8 bits

سعة (حجم) الذاكرة هي عدد (كمية) المعلومات التي يمكن تسجيلها (حفظها في الذاكرة) فيها. نُعبّر عن السعة بـ :

- البت : هو العنصر الأساسي لتمثيل المعلومات، ويمثل رقما ثنائيا واحداً
- البايت : 1 بايت = 8 بت

4.1.3.2 Volatilité الزوال

Si une mémoires perd sont contenu (les informations) lorsque la sources d'alimentation est coupée alors la mémoire est dite volatile.
Si une mémoire ne perd pas (conserve) sont contenu lorsque la sources d'alimentation est coupée alors la mémoire est dite non volatile (mémoire permanente ou stable).

إذا فقدت الذاكرة محتواها (المعلومات) عند انقطاع مصادر الطاقة، فيُقال أنها ذاكرة زائلة.

إذا لم تفقد الذاكرة (تحتفظ) بمحتوياتها عند انقطاع مصادر الطاقة، يُقال أن الذاكرة غير زائلة (ذاكرة دائمة أو ثابتة).

4.1.3.3 Mode d'accès à l'information (lecture /écriture) طريقة الوصول للمعلومة (كتابة/ قراءة)

Sur une mémoire on peut effectuer l'opération de :

- **lecture** : récupérer / restituer une information à partir de la mémoire.
- **écriture** : enregistrer une nouvelle information ou modifier une information déjà existante dans la mémoire.

Il existe des mémoires qui offrent les deux modes lecteur/écriture , ces mémoire s'appelles mémoires vives. Il existent des mémoires qui offrent uniquement la possibilité de la lecture (c'est pas possible de modifier le contenu). Ces mémoires s'appelles mémoires mortes.

في الذاكرة ، يمكنك إجراء عملية :

- القراءة : استرداد / استعادة المعلومات من الذاكرة.
- الكتابة : حفظ المعلومات الجديدة أو تعديل المعلومات الموجودة بالفعل في الذاكرة.

هناك ذاكرات يمكن القراءة / الكتابة عليها، وتسمى هذه الذاكرات ذاكرات حية.
هناك ذاكرات يمكن القراءة منها (لا يمكن تعديل المحتوى). تسمى هذه الذاكرات الميتة.

4.1.3.4 Temps d'accès زمن الوصول

C'est le temps nécessaire pour effectuer une opération de lecture ou d'écriture. Par exemple pour l'opération de lecture , le temps d'accès est le temps qui sépare la demande de la lecture de la disponibilité de l'information.

إنه الوقت المطلوب لإجراء عملية قراءة أو كتابة.
على سبيل المثال ، بالنسبة لعملية القراءة ، يكون وقت الوصول هو الوقت بين طلب القراءة وتوفّر المعلومات.

4.1.4 Classification des mémoires تصنيف الذاكرات

Les mémoires peuvent êtres classée en trois catégories selon la technologie utilisée :

- Mémoire à semi-conducteur (mémoire centrale, ROM, PROM,.....) : très rapide mais de taille réduit.
- Mémoire magnétique (disque dur, disquette,...) : moins rapide mais stock un volume d'informations très grand.

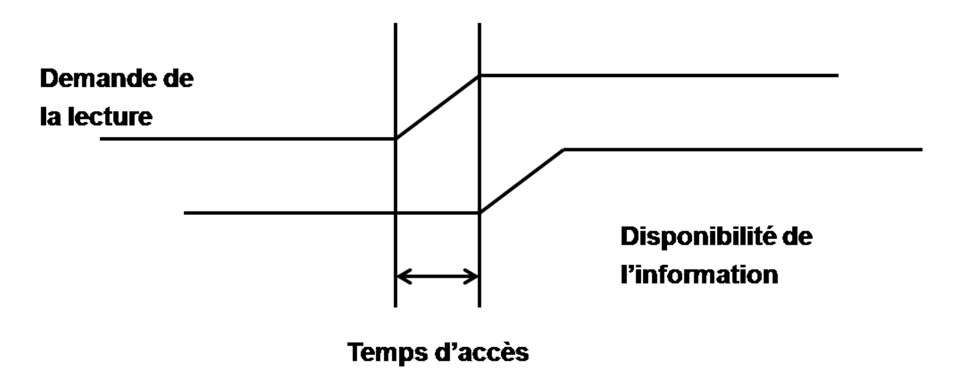


Fig. 4.7: Temps d'accès

- Mémoire optique (DVD, CDROM,..)

تصنف الذاكرات من حيث تقنية التصنيع إلى ثلاثة أصناف :

- الذاكرات المصنوعة بأشباه الموصلات (الذاكرة المركزية، ذاكرة القراءة فقط ROM، ذاكرات مبرمجة PROM) : سريعة جدا، لكن حجمها صغير.
- ذاكرات مغناطيسية (قرص صلب، قرص مرن، شريط مغناطيسي) : أقل سرعة، لكن تحفظ حجما كبيرا من المعلومات
- ذاكرات ضوئية (أقراص DVD، والأقراص المضغوطة)

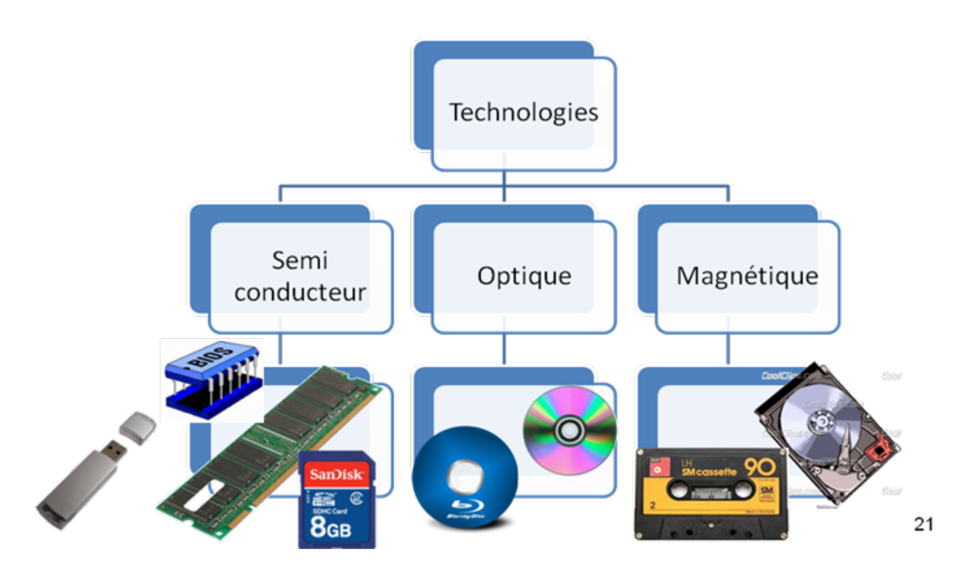


Fig. 4.8: Classification des mémoires تصنيف الذاكرات

4.1.4.1 Mémoire à semi-conducteur الذاكرات المصنوعة من أشباه الموصلات

4.1.4.2 Les mémoires mortes الذاكرات الميتة

Les mémoires mortes sont classées selon la possibilité de les programmer et de les effacer :

- Les **ROM** (Read Only Memory) dont le contenu est défini lors de la fabrication.
- Les **PROM** (Programmable Read Only Memory) sont programmables par l'utilisateur, mais une seule fois en raison du moyen de stockage, les données sont stockées par des fusibles.

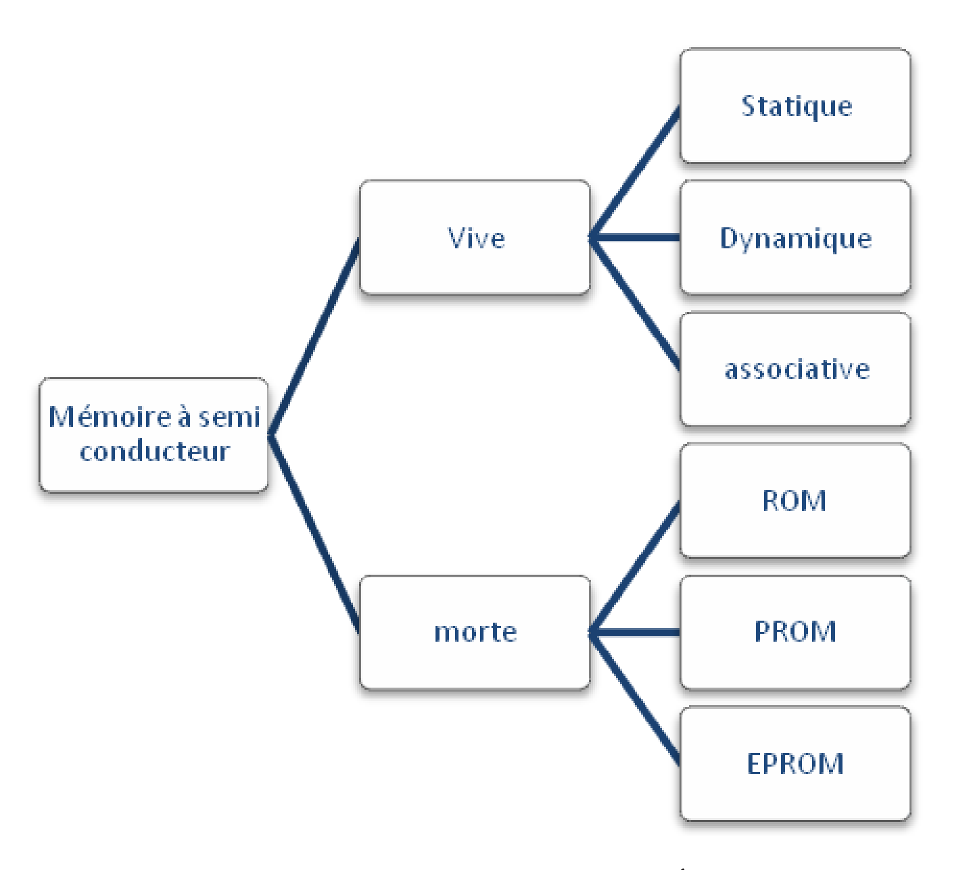


Fig. 4.9: Mémoire à semi-conducteur الذاكرات المصنوعة من أشباه الموصلات

- Les **EPROM** (Erasable Programmable Read Only Memory) sont effaçables et programmables par l'utilisateurN 2.
- Les **EEPROM** (Electrically Erasable Programmable Read Only Memory) sont effaçables et programmables par l'utilisateur. Elles sont plus faciles à effacer que les EPROM car elles sont effaçables électriquement donc sans manipulations physiques.

تصنف الذاكرات الميتة حسب القدرة على برمجتها وحذف محتواها :

- ذاكرات القراءة فقط ROM (Read Only Memory) التي محتواها مكتوب عند تصنيعها.
- ذاكرات القراءة فقط القابلة للبرمجة PROM (Programmable Read Only Memory)، يبرمجها المستخدم، مرة واحدة فقط للتخزين، تحفظ البيانات بواسطة صمامات منصهرة fusibles.
- ذاكرات القراءة فقط القابلة للبرمجة والحذف EPROM (Erasable Programmable Read Only Memory)، تقبل البرمجة والحذف من المستخدم.
- ذاكرات القراءة فقط القابلة للبرمجة والحذف كهربائيا EEPROM (Electrically Erasable Programmable Read Only Memory) ، يمكن برمجتها وحذفها بسهولة كهربائيا دون تعديل مادي.

4.1.5 La mémoire centrale (RAM : Random Acces memory) الذاكرة المركزية (ذاكرة وصول عشوائي)

4.1.5.1 C'est quoi une mémoire centrale ? ماهي الذاكرة المركزية

La mémoire centrale (MC) représente l'espace de travail de l'ordinateur (calculateur).
C'est l'organe principal de rangement des informations utilisées par le processeur.

Dans une machine (ordinateur / calculateur) pour exécuter un programme il faut le charger (copier) dans la mémoire centrale .
Le temps d'accès à la mémoire centrale et sa capacité sont deux éléments qui influent sur le temps d'exécution d'un programme (performance d'une machine).

تمثل الذاكرة المركزية مساحة عمل الحاسوب.
هي الجهاز الرئيسي لتخزين المعلومات التي يستخدمها المعالج.
في الحاسوب يجب نسخ البرنامج في الذاكرة المركزية لتنفيذه.
يؤثر وقت الوصول إلى الذاكرة المركزية وسعتها في وقت تنفيذ البرنامج (أداء الجهاز).

4.1.5.2 Caractéristiques de la mémoire centrale خصائص الذاكرة المركزية

- La mémoire centrale est réalisé a base de semi-conducteurs.
- La mémoire centrale est une mémoire vive : accès en lecture et écriture.
- La mémoire centrale est dite à accès aléatoire (RAM : Random Acces Memory) c'est-à-dire que le temps d'accès à l'information est indépendant de sa place en mémoire.
- La mémoire centrale est volatile : la conservation de son contenu nécessite la permanence de son alimentation électrique.
- Un temps d'accès à une mémoire centrale est moyen mais plus rapide que les mémoires magnétiques .
- La capacité d'une mémoire centrale est limitée mais il y a toujours une possibilité d'une extension.
- Pour la communication avec les autres organes de l'ordinateur, la mémoire centrale utilise les bus (bus d'adresses et bus de données)

- الذاكرة الرئيسية مصنوعة من أشباه الموصلات.
- الذاكرة الرئيسية ذاكرة وصول عشوائي : قراءة وكتابة.
- يقال أن الذاكرة المركزية ذاكرة وصول عشوائي، أي أن وقت الوصول إلى المعلومات غير متعلق بمكانها في الذاكرة.
- الذاكرة المركزية زائلة : يتطلب حفظ محتوياتها مصدر طاقة، وتزول بانقطاعه.
- وقت الوصول إلى ذاكرة مركزية متوسط ولكنه أسرع من الذاكرات المغناطيسية.
- سعة الذاكرة المركزية محدودة ولكنها قابلة للزيادة.
- للتواصل مع الأجزاء الأخرى في الحاسوب، تستخدم الذاكرة المركزية ناقلات (ناقل العنوان وناقل البيانات)

4.1.5.3 Types des mémoires centrales انواع الذاكرات المركزية

Il existe deux grandes familles des mémoires centrales : les mémoires statiques (SRAM) et les mémoires dynamiques (DRAM).

- Les mémoires statiques sont à base de bascules de type D , elles possèdent un faible taux d'intégration mais un temps d'accès rapide (Utilisation pour les mémoires cache).
- Les mémoires dynamiques à base de condensateurs , ces mémoires possèdent un très grand taux d'intégration, elles sont plus simples que les mémoires statiques mais avec un temps d'accès plus long .

هناك عائلتان رئيبتان للذاكرة المركزية : الذاكرات الثابتة (SRAM) والذاكرات الديناميكية (DRAM).

→ تصنع الذاكرات الثابتة بالقلابات من النوع D ، ولها معدل إدماج منخفض ولكن وقت وصول سريع (تستخدم لذاكرة التخزين المؤقت -الخبيئة).

→ الذاكرات الديناميكية قائمة على المكثفات، تمتع هذه الذكريات بمعدل إدماج عالٍ للغاية، فهي أبسط من الذكريات الثابتة ولكن مع وقت وصول أطول.

4.1.5.4 Vue logique de la mémoire centrale نظرة منطقية للذاكرة المركزية

- La mémoire centrale peut être vu comme un large vecteur (tableau) de mots ou octets.
- Un mot mémoire stocke une information sur n bits.
- un mot mémoire contient plusieurs cellules mémoire.
- Une cellule mémoire stock 1 seul bit .
- Chaque mot possède sa propre adresse.
- Une adresse est un numéro unique qui permet d'accéder à un mot mémoire.
- Les adresses sont séquentielles (consécutives)
- La taille de l'adresse (le nombre de bits) dépend de la capacité de la mémoire.

- يمكن اعتبار الذاكرة الرئيسية كمتجه كبير (مصفوفة) من الكلمات أو البايتات.
- كلمة الذاكرة تخزن المعلومات على عدد ن بت.
- كلمة ذاكرة تحتوي على عدة خلايا ذاكرة.
- تخزن خلية الذاكرة بت واحد فقط.
- كل كلمة لها عنوانها الخاص.
- العنوان هو رقم فريد يسمح بالوصول إلى كلمة ذاكرة.
- العناوين متسلسلة (متتالية)
- حجم العنوان (عدد البتات) يعتمد على سعة الذاكرة.

4.1.5.5 Structure physique d'une mémoire centrale البنية المادية للذاكرة المركزية

- RAM (Registre d'adresse Mémoire) : ce registre stock l'adresse du mot à lire ou à écrire .
- RIM (Registre d'information mémoire) : stock l'information lu à partir de la mémoire ou l'information à écrire dans la mémoire.
- Décodeur : permet de sélectionner un mot mémoire.
- R/W : commande de lecture/écriture , cette commande permet de lire ou d'écrire dans la mémoire (si R/W=1 alors lecture sinon écriture)
- Bus d'adresses de taille k bits
- Bus de données de taille n bits

- RAM (سجل عنوان الذاكرة) : يخزن هذا السجل عنوان الكلمة المراد قراءتها أو كتابتها.
- RIM (سجل معلومات الذاكرة) : يخزن المعلومات المقروءة من الذاكرة أو المعلومات المراد كتابتها في الذاكرة.
- مفكك الترميز : يسمح لك بتحديد كلمة ذاكرة (اختيارها).
- تعليمة W / R : أمر قراءة / كتابة، هذا الأمر يجعل من الممكن القراءة أو الكتابة في الذاكرة (إذا كان W / R = 1 ، فاقرأ وإلا اكتب)
- ناقل العنوان بحجم k بت
- ناقل البيانات حجم بت n

Comment sélectionner un mot mémoire ?كيف تختار كلمة ذاكرة Lorsque une adresse est chargée dans le registre RAM , le décodeur va recevoir la même information que celle du RAM.
A la sortie du décodeur nous allons avoir une seule sortie qui est active $\longrightarrow$ Cette sortie va nous permettre de sélectionner un seule mot mémoire.
عند تحميل عنوان في سجل عنوان الذاكرة RAM، يتلقى المفكك نفس المعلومات الموجودة في سجل العنوان RAM.
يكون مخرج واحد فقط من المفكك فعّالا، ما يسمح لنا بتحديد كلمة ذاكرة واحدة.

Comment calculer la capacité d'une MC ?كيف تُحسب سعة ذاكرة مركزية Soit k la taille du bus d'adresses (taille du registre RAM)
Soit n la taille du bus de données (taille du registre RIM ou la taille d'un mot mémoire)
On peut exprimer la capacité de la mémoire centrale soit en nombre de mots mémoire ou en bits (octets, kilo-octets,....)

- La capacité = 2k Mots mémoire
- La capacité = 2k * n Bits

نفرض أن حجم ناقل العناوين هو K، (حجم السجل RAM)
وليكن n حجم ناقل البيانات (حجم السجل RIM، أو حجم كلمة الذاكرة)
نُعبّر عن سعة الذاكرة المركزية إما بعدد كلمات الذاكرة أو بالبتات (بايت ، كيلوبايت ، إلخ.)

- السعة = 2^k كلمة ذاكرة
- السعة $2^k \times n$ بت

Exemple Dans une mémoire la taille du bus d'adresses K=14 et la taille du bus de données n=4. Calculer la capacité de cette mémoire ?
في ذاكرة ما ، حجم ناقل العنوان K = 14 وحجم ناقل البيانات n = 4. احسب سعة هذه الذاكرة؟

- C=214 = 16384 Mots de 4 bits
- C= 214 * 4 = 65536 Bits = 8192 Octets = 8 Ko

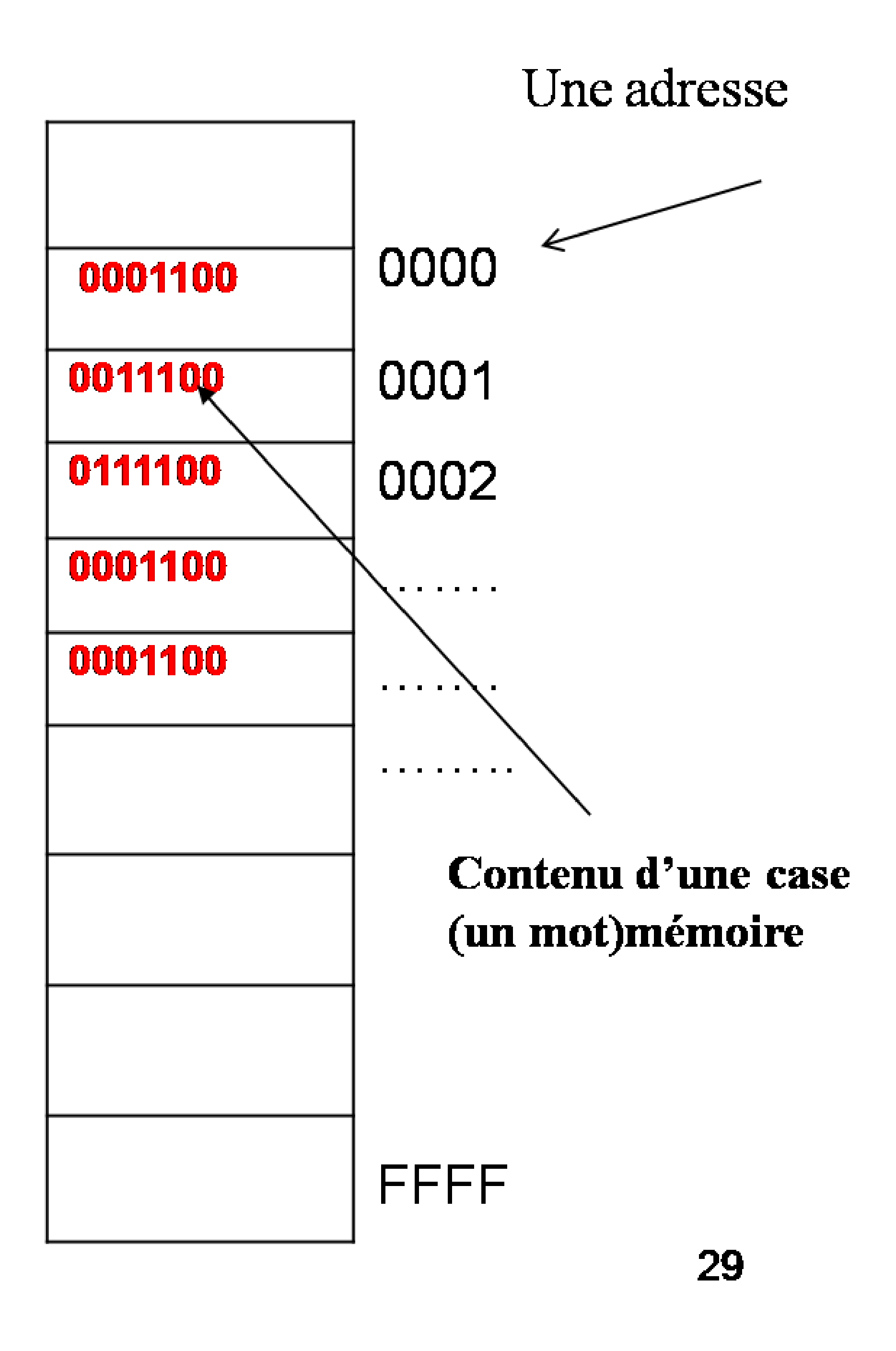


FIG. 4.10: Structure physique d'une mémoire centrale البنية المادية للذاكرة المركزية

Comment lire une information ? **كيف تقرأ معلومة** Pour lire une information en mémoire centrale il faut effectuer les opérations suivantes :

- Charger dans le registre RAM l'adresse du mot à lire.
- Lancer la commande de lecture (R/W=1)
- L'information est disponible dans le registre RIM au bout d'un certain temps (temps d'accès)

لقراءة المعلومات الموجودة في الذاكرة المركزية ، يجب إجراء العمليات التالية :

- تحميل عنوان الكلمة المطلوبة في سجل عنوان الذاكرة .RAM
- تشغيل أمر القراءة (R / W = 1)

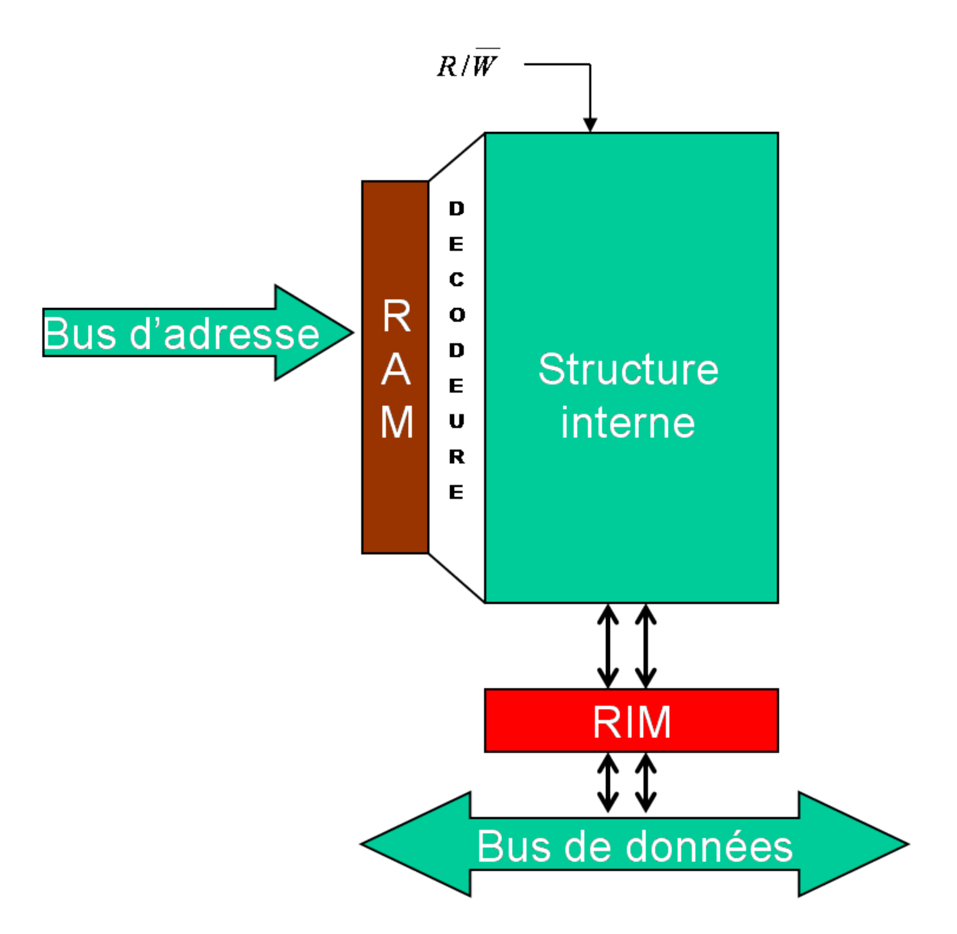


FIG. 4.11: Mot mémoire كلمة ذاكرة

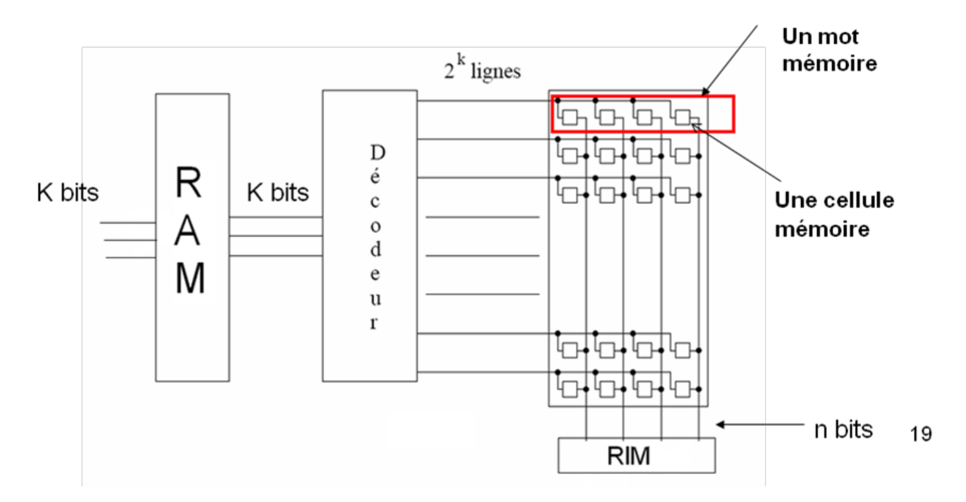


FIG. 4.12: Comment calculer la capacité d'une MC كيف تُحسب سعة ذاكرة مركزية

- ستجهز المعلومة في سجل RIM بعد وقت معين (وقت الوصول)

Comment écrire une information ? **كيف تُكتب معلومة** Pour écrire une information en MC il faut effectuer les opérations suivantes :

- Charger dans le RAM l'adresse du mot ou se fera l'écriture.
- Placer dans le RIM l'information à écrire.
- Lancer la commande d'écriture pour transférer le contenu du RIM dans la mémoire .

لكتابة معلومة في الذاكرة المركزية، يجري ما يلي :

- تحميل عنوان المكان الذي ستكتب فيه المعلومة
- تحميل المعلومة المراد كتابتها في سجل RIM (سجل معلومة الذاكرة)
- تشغيل أمر الكتابة لنقل محتوى سجل RIM إلى الذاكرة

Chapitre 5

Architecture de base d’un ordinateur
البنية الأساسية للحاسوب

5.1 Objectifs الأهداف

- Comprendre l’architecture d’une machine von newman — فهم بنية آلة فون نيومين
- Comprendre les étapes de déroulement de l’exécution d’une instruction. — فهم مراحل تنفيذ تعليمة

5.2 Introduction مقدمة

Un programme est un ensemble d’instructions exécutées dans un ordre bien déterminé.
Un programme est exécuté par un processeur (machine).
Un programme est généralement écrit dans un langage évolué (Pascal, C, VB, Java, etc.).
Les instructions qui constituent un programme peuvent être classifiées en 4 catégories :

- Les Instructions d’affectations : permet de faire le transfert des données
- instructions arithmétiques et logiques.
- Les Instructions de branchement (conditionnelle et inconditionnelle)
- Les Instructions d’entrées sorties.

برنامج مجموعة تعليمات تنفذ في ترتيب معين البرنامج يُنفّذه معالج البرنامج مكتوب عادة بلغة برمجة راقية مثل سي، جافا تعليمات البرنامج أربعة أصناف

- تعليمات التخصيص تسمح بنقل البيانات
- تعليمات الحساب والمنطق
- تعليمات التفرع المشروط وغير المشروط
- تعليمات الإدخال والإخراج

.( ) :

. : Pour exécuter un programme par une machine, on passe par les étapes suivantes : Édition : on utilise généralement un éditeur de texte pour écrire un programme et le sauvegarder dans un fichier. Compilation : un compilateur est un programme qui convertit le code source (programme écrit dans un langage donné) en un programme écrit dans un langage machine (binaire). Une instruction en langage évolué peut être traduite en

plusieurs instructions machine. Chargement : charger le programme en langage machine dans mémoire afin de l'exécuter .

لتنفيذ برنامج ما على الآلة، تمرّ بالمراحل الآتية :

- تحرير المصدر في محرر للنصوص ثم حفظ الملف،
- ترجمته بمصنّف ترجمته إلى لغة الآلة (ثنائي). تُترجَم تعليمةٌ واحدة مكتوبة بلغة برمجة راقية إلى عدد من تعليمات الآلة.
- التحميل : يحمّل البرنامج في الذاكرة المركزية قبل التنفيذ

Pour exécuter un programme par une machine, on passe par les étapes suivantes :

- Édition : on utilise généralement un éditeur de texte pour écrire un programme et le sauvegarder dans un fichier.
- Compilation : un compilateur est un programme qui convertit le code source (programme écrit dans un langage donné) en un programme écrit dans un langage machine (binaire). Une instruction en langage évolué peut être traduite en plusieurs instructions machine.
- Chargement : charger le programme en langage machine dans mémoire afin de l'exécuter .

كيف يُنفّذ برنامج على الآلة لفهم تنفيذ برنامج على الآلة⟵ ينبغي فهم آلية تنفيذ تعليمة واحدة ⟵ ينبغي فهم بنية الآلة (المعالج) التي ستنفذها.

Comment s'exécute un programme dans la machine ?

- Pour comprendre le mécanisme d'exécution d'un programme $\longrightarrow$ il faut comprendre le mécanisme de l'exécution d'une instruction .
- Pour comprendre le mécanisme de l'exécution d'une instruction $\longrightarrow$ il faut connaître l'architecture de la machine (processeur) sur la quelle va s'exécuter cette instruction.

5.3 Architecture matérielle d'une machine (architecture de Von Neumann)

البنية المادية للآلة (معمارية فون نيومن)

L'architecture de Von Neumann est composée :

- D'une mémoire centrale ,
- D'une unité centrale UC , CPU (Central Processing Unit), processeur , microprocesseur.
- D'un ensemble de dispositifs d'entrées sorties pour communiquer avec l'extérieur.
- Cette architecture est la base des architectures des ordinateurs.

تتكون معمارية (بنية) فون نيومن من ذاكرة مركزية، ووحدة مركزية (معالج)، وأجهزة إدخال وإخراج للتواصل مع الخارج. هذه المعمارية هي أساس بنية الحواسيب.

5.3.1 La mémoire centrale الذاكرة المركزية

- La mémoire centrale (MC) représente l'espace de travail de l'ordinateur .
- C'est l'organe principal de rangement des informations utilisées par le processeur.

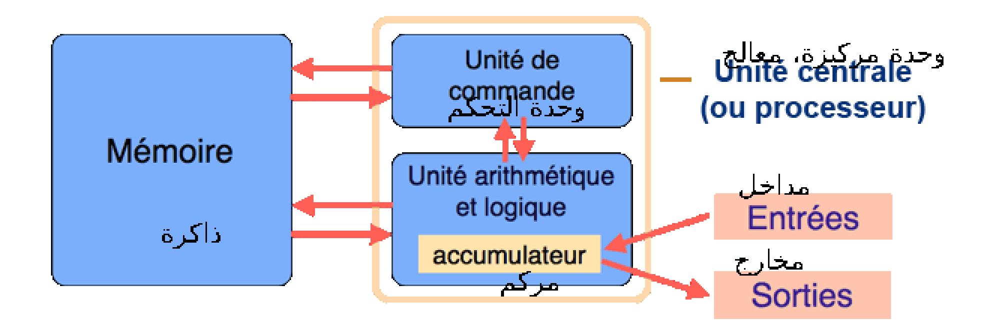


Fig. 5.1: Architecture de Von Neumann البنية المادية للآلة (معمارية فون نيومن)

- Dans un ordinateur pour exécuter un programme il faut le charger (copier) dans la mémoire centrale .
- Le temps d'accès à la mémoire centrale et sa capacité sont deux éléments qui influent sur le temps d'exécution d'un programme (performances d'une machine).

الذاكرة المركزية مساحة عمل الحاسوب، وأهم جزء لحفظ البيانات التي يستعملها المعالج. في الحاسوب ينبغي نسخ البرنامج في الذاكرة قبل تنفيذه. أداء الآلة أو زمن تنفيذ برنامج ما يتأثر بسعة الذاكرة وزمن الوصول إليها.

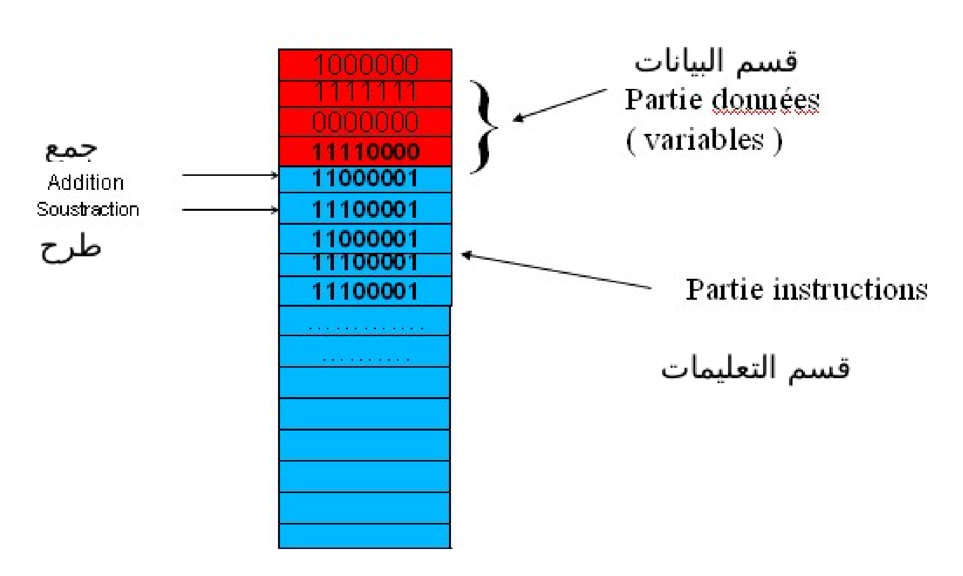


Fig. 5.2: Structure d'un programme en MC بنية برنامج في الذاكرة المركزية

5.3.1.1 L'Unité Centrale (UC) الوحدة المركزية

- L'unité centrale (appelée aussi processeur , microprocesseur) à pour rôle d'exécuter les programmes.
- L'UC est composée d'une unité arithmétique et logique (UAL) et d'une unité de contrôle.
- - L'unité arithmétique et logique réalise les opérations élémentaires (addition, soustraction, multiplication, . . .) .
- - L'unité de commande contrôle les opérations sur la mémoire (lecture/écriture) et les opérations à réaliser par l'UAL selon l'instruction en cours d'exécution.

دور الوحدة المركزية (تسمى أيضا المعالج أو المعالج المصغّر) تنفيذ البرامج، وتتكون من وحدة الحساب والمنطق التي تنفذ العمليات الأساسية من جمع وضرب وقسمة وغيرها، ووحدة التحكم التي تحكم في العمليات على الذاكرة (قراءة / كتابة) و العمليات التي تنجزها وحدة الحساب والمنطق حسب التعليمة قيد التنفيذ

.

Fig. 5.3: Unité Centrale

5.3.1.2 Unité Arithmétique et logique UAL وحدة الحساب والمنطق

وحدة الحساب والمنطق

- وحدة الحساب والمنطق تقوم بالعمليات الأساسية (جمع، طرح، ضرب، منطق،،) تتكون من مِرْكَمْ ACC وهو سجل للعمل يحفظ العوامل (المعطيات) في بداية العملية ويحفظ النتيجة في النهاية .
- في الوحدة سجل للحالة يشير إلى حالة تنفيذ العملية، هذا السجل مكون من مجموعة بتات تسمى أعلاما تتغير عند نهاية العملية وأهمها :

→ عَلَم الاحتفاظ : يكون 1 إذا نتج عن العملية احتفاظ،

→ علم الإشارة : يكون 1 إذا كان الناتج سالبا

→ علم الطفح : يكون 1 إذا نتج عن العملية طفح (فيضان)

→ - علم الصفر : يكون 1 إذا كانت النتيجة معدومة

.

- L'unité arithmétique et logique réalise une opération élémentaire (addition, ,soustraction, multiplication, . . .).

- L'UAL regroupe les circuits qui assurent les fonctions logiques et arithmétiques de bases (ET,OU,ADD,SUS,.....).
- L'UAL comporte un registre accumulateur (ACC) : c'est un registre de travail qui sert a stocker un opérande (données)au début d'une opération et le résultat à la fin.
- L'UAL comporte aussi un registre d'état : Ce registre nous indique l'état du déroulement de l'opération .
- Ce registre est composé d'un ensemble de bits. Ces bits s'appels indicateurs (drapeaux ou flags).
- Ces indicateurs sont mis à jours (modifiés)après la fin de l'exécution d'une opération dans l'UAL.
- Les principaux indicateurs sont :
  - → Retenue : ce bit est mis à 1 si l'opération génère une retenue.
  - → Signe :ce bit est mis à 1 si l'opération génère un résultat négative.
  - → Débordement :ce bit est mis à 1 s'il y a un débordement.
  - → Zero : ce bit est mis à 1 si le résultat de l'opération est nul.

C0	C1	C2	Code	Résultat النتيجة	explication	شرح
0	0	0	ADD	A + (B + Cin)	La retenue Cout =1 si il y a une retenue La retenue en entrée Cin	يصبح الاحتفاظ الناتج = $Cout$ 1 إذا نتج احتفاظ Cin هو الاحتفاظ الداخل
0	0	1	SUB	A - (B + Cin)	Cout =1 si il y a une retenue	$Cout = 1$ إذا كان احتفاظ
0	1	0	MUL	A * B	Cout = 0	
0	1	1	DIV	A / B	Cout = 0	
1	0	0	EQ	1 si A == B sinon 0	Cout = 0	
1	0	1	CMP	1 si A < B sinon 0	Cout = 0	
1	1	0	LSH	A « B	A est décalé à gauche par (B et Cin) Cout est le dernier bit décalé à gauche de A	A ينزاح إلى اليسار بواسطة B و Cin والبت الخارج يخرج في Cout
1	1	1	RSH	A » B	(A est décalé à droite par B et Cin Cout est le dernier bit décalé à droite de A	A ينزاح إلى اليمين بواسطة B و Cin والبت الخارج يخرج في Cout

5.3.1.3 Unité de contrôle — وحدة التحكم

Le rôle de l'unité de contrôle (ou unité de commande) est de :

- coordonner le travail de toutes les autres unités (UAL , mémoire,....
- et d'assurer la synchronisation de l'ensemble.

دورها التنسيق بين الوحدات الأخرى (ذاكرة، وحم....) وضمان التزامن بينها.

Elle assure :

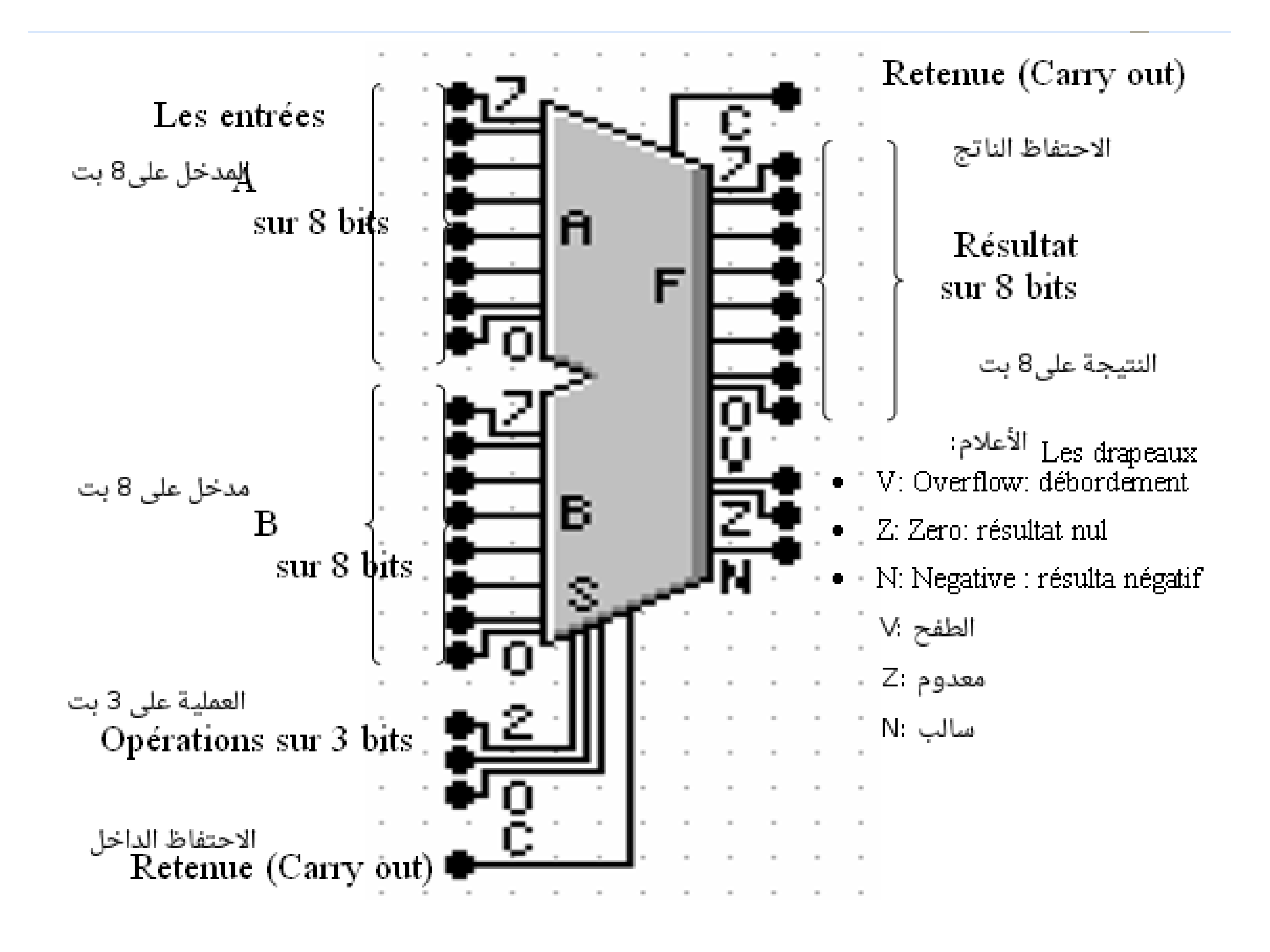


Fig. 5.4: Unité Unité Arithmétique et logique UAL

- la recherche (lecture) de l'instruction et des données à partir de la mémoire,
- le décodage de l'instruction et l'exécution de l'instruction en cours et prépare l'instruction suivante.

تضمن : البحث عن التعليمة والبيانات في الذاكرة، وتفكك التعليمة الحالية وتنفذها، وتحضّر التعليمة الموالية.

L'unité de contrôle comporte :

- Un registre instruction (RI) : contient l'instruction en cours d'exécution. Chaque instruction est décoder selon sont code opération grâce à un décodeur.
- Un registre qui s'appel compteur ordinal (CO) ou le compteur de programme (CP) : contient l'adresse de la prochaine instruction à exécuter (pointe vers la prochaine instruction à exécuter). Initialement il contient l'adresse de le première instruction du programme à exécuter.
- Un séquenceur : il organise (synchronise) l'exécution des instruction selon le rythme de l'horloge, il génère les signaux nécessaires pour exécuter une instruction.

تتكوّن وحدة التحكم من :

- - سجل التعليمة، فيه التعليمة قيد التنفيذ، وكل تعليمة تفكك بواسطة مفكك الترميز.
- - سجل يسمى العداد الترتيبي أو عداد البرنامج، يحفظ عنوان التعليمة التالية، ويحتوي في البدء على عنوان أول تعليمة.
- - المُنظّم : ينظم (يزامن) تنفيذ التعليمات حسب إيقاع الساعة، ويولّد الإشارات اللازمة لتنفيذ التعليمة.

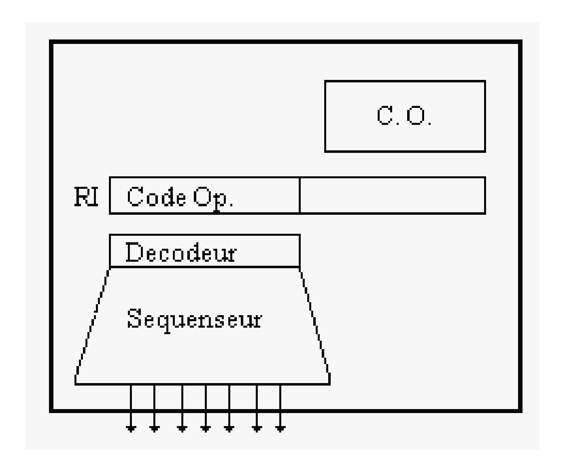


FIG. 5.5: Unité de contrôle وحدة التحكم

Remarque

- Le microprocesseur peut contenir d'autres registres autre que CO,RI et ACC.
- Ces registres sont considérés comme une mémoire interne (registre de travail) du microprocesseur.
- Ces registres sont plus rapide que la mémoire centrale , mais le nombre de ces registre est limité.
- Généralement ces registres sont utilisés pour sauvegarder les données avant d'exécuter une opération.
- Généralement la taille d'un registre de travail est égale à la taille d'un mot mémoire

ملاحظات :

- المعالج المصغر قد يحوي سجلات أخرى غير سجل التعليمةRI, العداد الترتيبيCO والمركم ACC.
- السجلات أسرع من الذاكرة المركزية لكن عددها محدود
- تستعمل السجلات عادة لحفظ البيانات قبل تنفيذ عملية ما
- يكون حجم سجل بسعة خلية ذاكرة (كلمة)

5.3.1.4 Jeu d'instructions طقم التعليمات

Chaque microprocesseur possède un certain nombre limité d'instructions qu'il peut exécuter. Ces instructions s'appelles jeu d'instructions.
Le jeu d'instructions décrit l'ensemble des opérations élémentaires que le microprocesseur peut exécuter.
Les instructions peuvent être classifiées en 4 catégories :

- Instruction d'affectation : elle permet de faire le transfert des données entre les registres et la mémoire
- Écriture : registre $\longrightarrow$ mémoire
- Lecture : mémoire $\longrightarrow$ registre
- Les instructions arithmétiques et logiques (ET , OU , ADD,....)

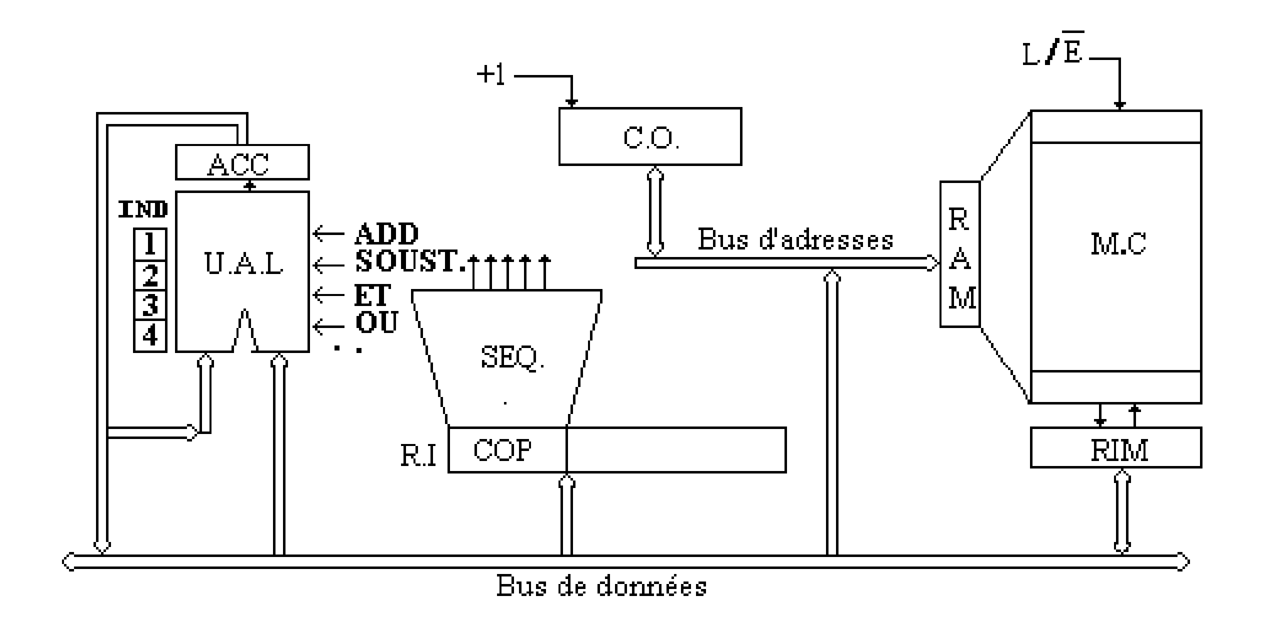


FIG. 5.6: Schéma détaillé d'une machine مخطط مفصل لآلة

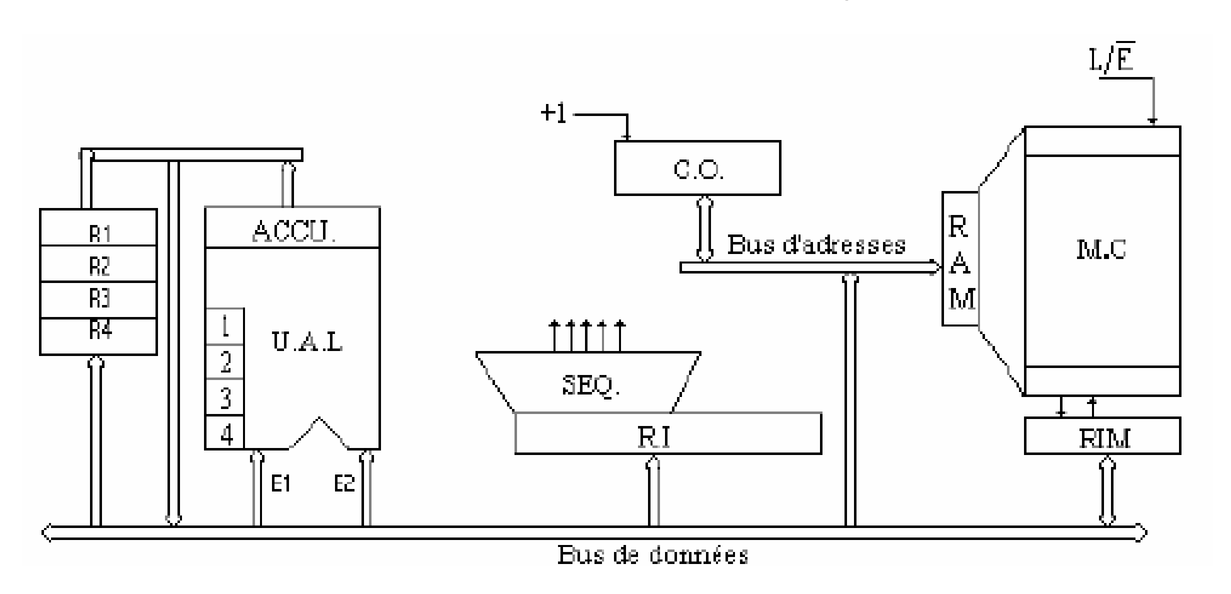


FIG. 5.7: Une machine avec des registres de travail آلة مع سجلات العمل

- Instructions de branchement (conditionnelle et inconditionnelle)
- Instructions d'entrées sorties.

لكل معالج عدد محدود من التعليمات يقدر على تنفيذها تشكّل طقم التعليمات. أصناف التعليمات أربعة :

- تعليمات التخصيص، تسمح بتحويل البيانات بين السجلات والذاكرة (كتابة : سجل ذاكرة، أما القراءة : ذاكرة سجل)
- تعليمات الحساب والمنطق
- تعليمات التفرع المشروط وغير المشروط
- تعليمات الإدخال والإخراج

5.3.1.5 Codage d'une instruction ترميز تعليمة

Les instructions et leurs opérandes (données) sont stocké dans la mémoire.
La taille d'une instruction (nombre de bits nécessaires pour la représenter en mémoire) dépend du type de l'instruction et du type de l'opérande.

التعليمة وعواملها (المعطيات) محفوظة في الذاكرة، وحجمها (عدد البتات اللازمة لتمثيلها) يتعلق بنوع التعليمة ونوع عواملها.

L'instruction est découpée en deux parties :

- Code opération (code instruction) : un code sur N bits qui indique quelle instruction.
- La champs opérande : qui contient la donnée ou la référence (adresse) à la donnée.

للتعليمة قسمان : رمز العملية (رمز التعليمة) هو رمز على ن بت يبيّن التعليمة، وقسم العامل ويبيّن المعطاة أو يشير إلى عنوانها.

Code opération رمز العملية	Opérande العامل
⟵ N bits ⟶	⟵K bits⟶

Chapitre 6

Exercixes تمارين

6.1 Exercices du chapitre 1 تمارين الفصل الأول

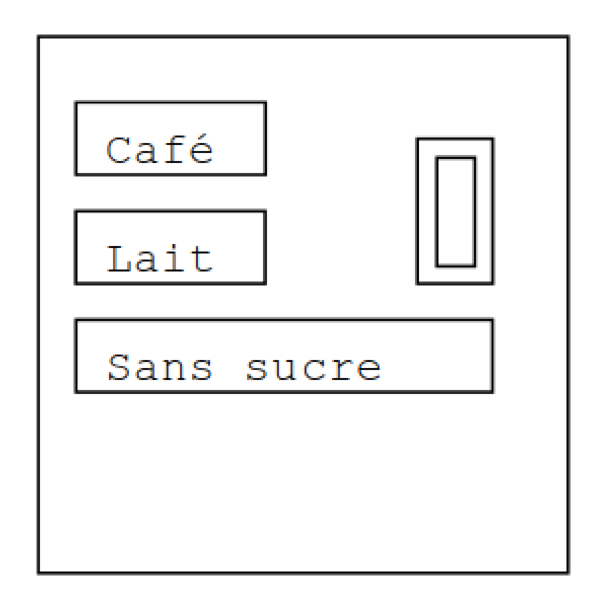
01 Une serrure de sécurité s'ouvre en fonction de quatre clés A, B, C, D. Le fonctionnement de la serrure est définie comme suite :

- $S(A, B, C, D) = 1$ si au moins deux clés sont utilisées
- $S(A, B, C, D) = 0$ sinon
- Les clés A et C ne peuvent pas être utilisées en même temps.
- Donner les formes canoniques R et P
- Réaliser le circuit.

قفل أمان يفتح بواسطة أربعة مفاتيح A و B و C و D، يعمل القفل كالآتي : إذا استعمل مفتاحين على الأقل $S(A, B, C, D) = 1$ وإلا $S(A, B, C, D) = 0$
لا يستعمل A C في نفس الوقت أعط الأشكال القانونية الرقية R و P
أنجز الدارة

02 Une machine de distribution de boissons, offre : café, lait, café au lait, avec ou sans sucre. La machine dispose de 3 boutons (Lait, Café, Sans Sucre) et une entrée de pièces de monnaies. La machine contient trois réservoirs (Café, sucre et Lait).

- Déterminer les fonctions logiques qui permet d'ouvrir les robinets des réservoirs en fonction des boutons.
- Réaliser le schéma logique qui permet de distribuer les boissons.



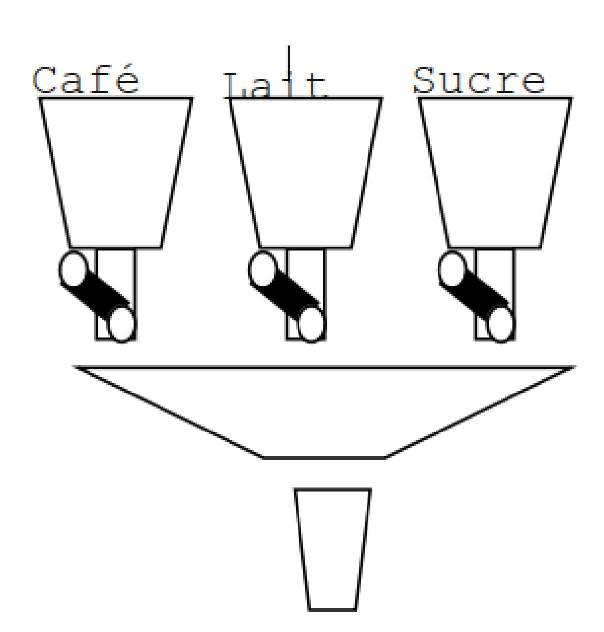


Fig. 6.1: Schéma de l'exercice 2

آلة توزيع المشروبات تقدّم القهوة، الحليب، القهوة بالحليب، بالسكر أو بدونه . الآلة فيها ثلاثة أزرار (حليب، قهوة، دون سكر) ومدخل للقطعة النقدية . الآلة في داخلها ثلاثة خزانات للقهوة والسكر والحليب،

- حدد الدوال المنطقية التي تفتح حنفيات الخزانات بدلالة الأزرار .

• أنجز المخطط المنطقي الذي يوزّع المشروبات.

.

03 Le circuit DIV qui calcule la division euclidienne de deux nombres de 2 bits chacun (le quotient et le reste),

CD	AB
R_1R_0	Q_1Q_0

La division sur zéro est un cas interdit Réaliser le circuit

الدارة DIV تحسب القسمة الإقليدية لعددين في كل منهما 2 بتين (حاصل القسمة والباقي) في حالة القسمة على صفر، تعتبر حالة ممنوعة أنجز الدارة

04

1 Réaliser le circuit C1, qui permet d'additionner deux bits.

2 Est-ce qu'on peut l'utiliser pour additionner plusieurs bits ?.

3 Réaliser un circuit (ADD) qui permet d'additionner deux bits avec une retenue en entrée.

أنجز الدارة C1 التي تجمع بتين اثنين.
هل يمكن استعمالها لجمع بتات أكثر؟
أنجز الدارة ADD التي تجمع بتين مع مدخل خاص بالاحتفاظ .

05 Utiliser les circuits ADD pour faire un additionneur des nombres binaires sur 4 bits.
استعمل دارات ADD لتصميم جامع للأعداد الثنائية على 4 بتات .

06 Réaliser un circuit C5 qui permet de commander 8 lampes et allumer une seule lampe à la fois par numéro.

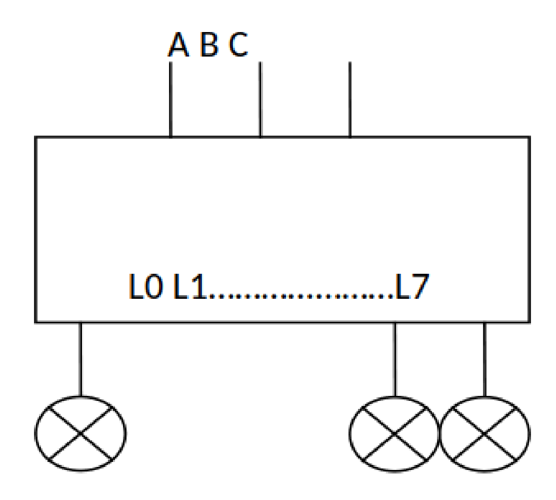


Fig. 6.2: Schéma bloc de l'exercice ??

أنجز دارة C5 تحكم في8 مصابيح، وتشعل مصباحا واحدا فقط في المرة حسب رقمها.

07

1 Fabriquez une porte NON à partir d'une porte NON-ET

صمّم البوابة " لا " بواسطة بوابة " نفي الوصل "

2 Fabriquez une porte ET à partir de portes NON-ET

صمّم البوابة " وصل " بواسطة بوابة " نفي الوصل "

08

1 Réaliser le circuit de la fonction $f1$ en utilisant uniquement des portes NOR NAND

2 Réaliser le circuit de la fonction $f1$ en utilisant uniquement des portes NOR

$f1 = a.\bar{b} + \bar{a}.b + \bar{a}.c.d$

1 أنجز دارة الدالة $f1$ 1 باستعمال بوابات " نفي الوصل " NAND فقط.

2 أنجز دارة الدالة $f1$ باستعمال بوابات " نفي الفصل " NOR فقط

6.1.1 Exercices supplémentaires

09

1 On veut réaliser un circuit logique M1 qui calcule le produit de deux nombres de deux bits chacun (AB*CD)

$$\begin{array}{r} AB \\ \times \quad CD \\ \hline \end{array}$$

2 Réaliser le circuit avec des portes logiques

نريد تصميم دارة M1 تضرب تضرب عددين من بتين لكل منهما.
أنجز الدارة .

10 On veut construire un comparateur de deux nombres de 2 bits chacun : A_1A_0 et B_1B_0. En sortie, on voudrait avoir 3 sorties :

نريد صنع مقارن بين عددين من 2 بت لكل واحد، A_1A_0 و B_1B_0. وتعطي ثلاث مخارج :

- Supérieur S = 1 si $A_1A_0 > B_1B_0$, sinon 0.
- Inférieur I = 1 si $A_1A_0 < B_1B_0$, sinon 0.
- Egale E = 1 si $A_1A_0 = B_1B_0$, sinon 0.
- Réaliser le circuit à l'aide des portes NAND

-

أنجز الدارة بواسطة بوابات نفي الفصل NAND

11 La figure suivante représente un réservoir alimenté par deux vannes V1 et V2. On distingue trois niveaux : Sécurité, Moyen, Haut :

- lorsque le niveau de liquide est inférieur ou égale à Sécurité, V1 et V2 sont ouvertes.
- lorsque le niveau du liquide est inférieur ou égal à Moyen mais supérieur à Sécurité, seule V1 est ouverte.

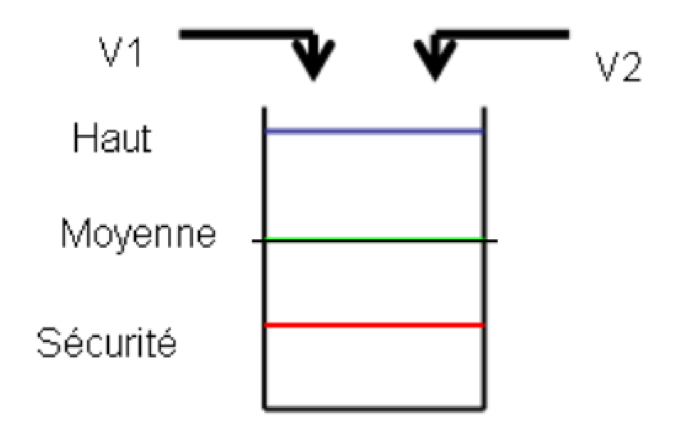


Fig. 6.3: Schéma del'exercice 11

- lorsque le niveau du liquide est supérieur à Moyen mais inférieur à Haut, seule V2 est ouverte.
- lorsque le niveau de liquide a atteint le niveau Haut, les deux vannes sont fermées.

Question : Donner les équations logiques de l'ouverture de V1 et V2 en fonction du niveau de liquide.

الشكل يوضح خزانا يزوّد بالماء من صمامين V1 و V2 ،
للخزان ثلاث مستويات مستوى الآمن، مستوى متوسط مستوى عالٍ.
حين يكون السائل أقل من مستوى الأمن أو يساويه، يفتح الصمامان V1 و V2.
حين يكون السائل أقل من المستوى المتوسط وأعلى مستوى الأمن يفتح الصمام V1 فقط.
حين يكون السائل أعلى من المتوسط وأقل من المستوى العالي، يفتح V2 فقط . حين يصل السائل إلى المستوى العالي يقفل الصمامان .
السؤال : أعط الدوال المنطقية التي تحكم في فتح الصمامين بدلالة مستوى السائل

.

12 Soit le schéma de la figure suivante

ليكن الشكل الآتي

1. Donner l'équation de F.

أعط الدالة

2. Représenter F en utilisant que des NAND à 2 entrées et des inverseurs.

مثل الدالة باستعمال بوابات NAND ذات مدخلين وعاكسات .

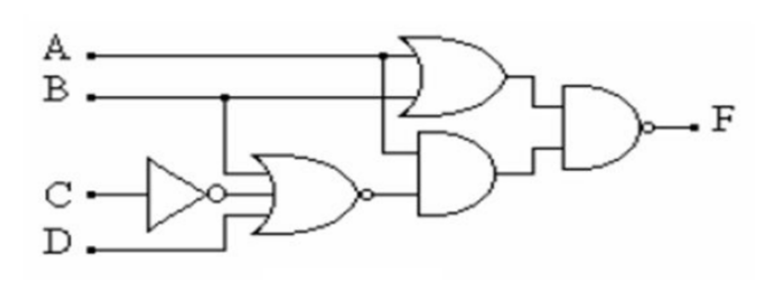


Fig. 6.4: Schéma de l'exercice 12

13 Réaliser le schéma qui permet d'effectuer le complément à deux d'un nombre binaire de quatre bits.

أنجز الدارة التي تعطي المتمم لاثنين لعدد ثنائي ذي 4 بتات

14 Réaliser un circuit qui permet de convertir un nombre binaire en complément à 2 sur 8 bits
أنجز دارة تحوّل عددا ثنائيا إلى المتمم إلى 2 على 8 بت

.

15 Un jury composé de 4 membres pose une question à un joueur, qui à son tour donne une réponse. Chaque membre du jury positionne son interrupteur à " 1 " lorsqu'il estime que la réponse donnée par le joueur est juste (avis favorable) et à " 0 " dans le cas contraire (avis défavorable). On traite la réponse de telle façon à positionner :
لجنة تحكيم ذات أربعة أعضاء يطرحون سؤالا على لاعب ليجيب . كل عضو يضع الزر على 1 إذا قدّر أن الإجابة صحيحة، ويضعها على صفر إذا قدّر أنها خطأ . ونعالج آراء الحكام كما يلي

- Une variable succès (S=1) lorsque la décision de la majorité des membres de jury est favorable,
- Une variable Échec (E=1) lorsque la décision de la majorité des membres de jury est défavorable
- et une variable Égalité (N=1) lorsqu'il y a autant d'avis favorables que d'avis défavorables.

- متغير للنجاح S=1 إذا كان قرار أغلبية الحكام مقبولا.
- متغير للفشل E=1 إذا كان قرار أغلبية الحكام غير مقبول .
- متغير للتساوي N=1 إذا كانت قرارات القبول مساوية لقرارات عدم القبول.

1 Déduire une table de vérité pour le problème, — استنتج جدولا للحقيقة للمسألة

2 Donner les équations de S, E, — أعط معادلات S و E

3 En déduire l'équation de N — استنتج معادلة N

16 réaliser un circuit Cx qui permet de convertir des entrées d'un pavé numérique en binaire.
أنجز دارة تحوّل مداخل لوحة مفاتيح رقمية إلى الثنائي

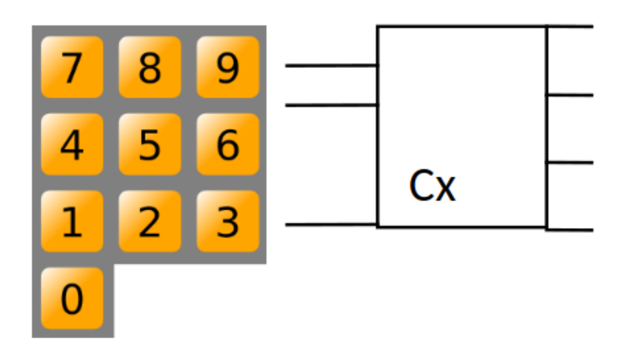


Fig. 6.5: Schéma de l'exercice 16

17 Le comité directeur d'une entreprise est constitué de quatre membres :

- le directeur

- ses trois adjoints A, B, C.

Lors des réunions, les décisions sont prises à la majorité.
Chaque personne dispose d'un interrupteur pour voter sur lequel elle appuie en cas d'accord avec le projet soumis au vote.
En cas d égalité du nombre de voix, celle du directeur compte double.

1. On vous demande de réaliser un dispositif logique permettant l'affichage du résultat du vote sur lampe R.
2. Donner l'équation logique de R.
3. Réaliser le schéma logique de la sortie R

مجلس إدارة شركة ذو أربعة أعضاء : المدير وثلاثة نواب A, B, C، D
تؤخذ القرارات بالأغلبية في الاجتماعات، كل عضو له زر للتصويت على أي مشروع يعرض . في حال التساوي يحتسب صوت المدير مرتين .
المطلوب :

1. تصميم دارة منطقية لعرض نتيجة التصويت بواسطة مصباح R.
2. أعط معادلة R
3. ثم أنجز المخطط

.

18

1. Donner les formes canoniques disjonctives et conjonctives et les formes numériques R et P des fonctions définies par :

أعط الأشكال القانونية المنفصلة والمتصلة والأشكال الرقمية للدوال الآتية :

   a. F1(A,B,C) = 1 si le nombre de variables à 1 est pair. — إذا كان عدد المتغيرات المساوية لـ1 زوجيا
   b. F2(A,B,C) = 1 si au moins deux variables sont égales à 0. — إذا كان متغيران على الأقل معدومين
   c. F3(A,B,C) = 1 si le nombre (ABC)2 est impair. — إذا كان العدد فرديا

2. Réaliser les schémas des fonctions F1, F2, F3 — أنجز مخططات الدوال السابقة

6.1.2 Travaux pratiques — أعمال تطبيقية

Réaliser le circuit qui permet d'afficher un nombre en hexadecimal sur un afficheur 7segments (utiliser le circuit avec 8 entrées). Simuler le circuit sous le logiciel « Multimedia logic »

تصميم دارة تسمح بعرض عدد ستعشري على عارض ذي 7 قطع (استعمل الدارة ذات 8 مداخل)، اعمل محاكاة على برنامج Multimedia logic

Travail demandé : — المطلوب

1. La description du problème — وصف المسألة
2. La table de vérité et les équations simplifiées — جدول الحقيقة والمعادلات المبسطة
3. Le schéma et la simulation sous le logiciel. — المخطط والمحاكاة بالبرنامج

Les afficheurs 7 segments sont un type d'afficheur très présent sur les calculatrices et les montres à affichage numérique : les caractères (des chiffres, bien que quelques lettres soient utilisées pour l'affichage hexadécimal) s'écrivent en allumant ou en éteignant des segments, au nombre de sept. Quand les 7 segments sont allumés, on obtient le chiffre 8. Dans un afficheur 7 segments, les segments sont généralement désignés par les lettres allant de A à G.

العارض ذو القطع السبعة نوع من العارضات يستعمل في الساعات الرقمية والحاسبات، يعرض الأرقام وبعض الحروف مثل الستعشرية، بإشعال القطع المناسبة، فمثلا إشعال كل القطع يعطي الرقم ثمانية. يرمز للقطع عادة بالحروف من A إلى G.

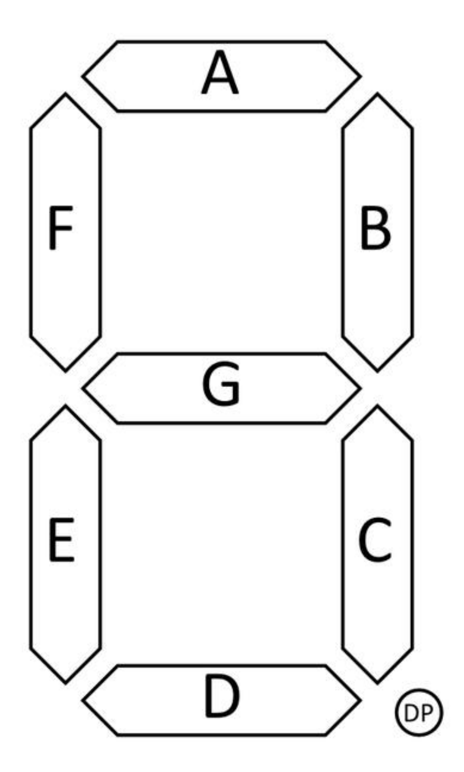


Fig. 6.6: Schéma d'un afficheur 7-segments

6.2 Série d'exercice du Chapitre 2

01

Réaliser un multiplexeurs à 4 entrées.

اصنع مجمّعا ب4 مداخل

02

Réaliser le demi-additionneur à l'aide d'un minimum de multiplexeurs à 4 entrées.

اصنع جامعا بسيطا بواسطة أقل عدد من المجمعات ذات 4 مداخل.

,

03

Réaliser l'additionneur complet à l'aide d'un minimum de multiplexeurs à 8 entrées.

اصنع جامعا كاملا بواسطة أقل عدد من المجمعات ذات 8 مداخل

04

Réalisation d'un additionneur complet avec des décodeurs binaire 3=>8 avec un minimum de portes logiques.

اصنع جامعا كاملا بواسطة أقل عدد من مفككات الترميز ذات 3 مداخل و 8 مخارج وأقل ما يمكن من البوابات المنطقية,

.

05 Soit une information binaire sur 4 bits ($i_3i_2i_1i_0$).
Donner le circuit qui permet de compter le nombre de 1 dans l'information en entrée en utilisant uniquement des additionneurs complets sur 1 bit ?
Exemple : Si on a en entrée l'information ($i_3i_2i_1i_0$) =(0110) alors en sortie on obtient la valeur 2 en binaire (010) puisque il existe 2 bits qui sont à 1 dans l'information en entrée .

لدينا معلومة ثنائية على 4 بتات ($i_3i_2i_1i_0$) ، أعط الدارة التي تعدّ الواحدات في المعلومة المُدخلة، باستعمال دارات الجمع الكاملة ذات 1 بت فقط .
مثال : إذا كانت المعلومة المُدخلة ($i_3i_2i_1i_0$) =(10110) ، فنحصل في المخرج على العدد 2 بالثنائي 010 لأن لدينا بتين يساويان الواحد .

06

Effectuer à l'aide d'un minimum d'additionneurs de 2 nombres de 4 bits et d'un minimum de portes logiques, la multiplication de deux nombres positifs de 4 bits.

باستعمال أقل عدد من دارات الجمع لعددين (كل عدد ذو 4 بتات)، وأقل عدد من البوابات المنطقية، أنجز دارة لضرب عددين موجبين، من 4 بتات لكل منهما

07

Le code ROT5 permet de faire la rotation d'un nombre binaire en ajoutant 5 en binaire, sans retenue.
$ROT5(0000) = 0101$ $ROT5(1111) = 0100$

1. Réaliser le circuit de conversion de binaire au ROT5.

2. Proposer un schéma de ROT5 en utilisant un encodeur de 16 à 4 et un décodeur de 4 à 16.

الترميز ROT5 يدوّر الرقم بإضافة 5 دون احتفاظ، $ROT5(0000) = 0101$ ، و $ROT(1111) = 0100$
أنشئ دارة الترميز ROT5. ثم اقترح تصميما للدارة بواسطة مرمّز 16 إلى 4 و مفكك من 4 إلى 16.

6.2.1 Exercices supplémentaires تمارين للتعمّق

08

En utilisant uniquement de additionneurs complets faire le schéma du circuit " C " de la figure suivante, qui permet de déterminer le nombre $(S2S1S0)_2$ de bits à " 1 " de l'information (I5.......I0) en entrée.
باستعمال دارات الجمع الكامل، أنجز الدارة C في الشكل المقابل، التي تحسب العدد $(S2S1S0)_2$ من البتات التي تساوي 1، في المعلومة المُدخلة. (I5.......I0)

09

Construire un circuit logique capable de comparer deux nombres de 3 bits chacun : $A_0A_1A_2$ et $B_0B_1B_2$. En sortie, on voudrait avoir : 1 si $A_0A_1A_2 = B_0B_1B_2$, sinon 0.
أنجز دارة منطقية تقارن بين عددين من ثلاثة بتات لكل واحد، $A_0A_1A_2$ و $B_0B_1B_2$.. وتعطي 1 إذا $A_0A_1A_2 = B_0B_1B_2$ ، وإلا 0.

10

Soit la fonction, f(a,b,c,d) = 1 si (abcd)2 comporte un nombre pair de « 0 » et représentant un chiffre décimal, f(a,b,c,d) = 0 si (abcd)2 comporte un nombre impair de « 0 » et représentant un chiffre décimal. Réaliser cette fonction à l'aide

1 - d'un multiplexeur de 16 vers 1,

2 - d'un multiplexeur de 8 vers 1 et d'un minimum de portes,

3 - de multiplexeurs de 4 vers 1 et sans portes logiques.

لتكن الدالة f(a,b,c,d) =1 إذا احتوى العدد $(abcd)_2$ على عدد زوجي من الأصفار ويمثل رقما في النظام العشري، و f(a,b,c,d) =0 إذا احتوى العدد المدخل على عدد فردي من الأصفار ويمثل رقما في النظام العشري، أنجز هذه الدالة بواسطة :

1 مجمع واحد فقط ذي 16 مدخل إلى 1 مخرج

2 مجمع واحد فقط ذي 8 إلى 1، وأقل عدد من البوابات المنطقية

3 مجمعات ذات 4 إلى 1 ودون بوابات منطقية.

11

Le circuit qui permet de détecter les nombres multiple de 3 entre 0 et 15, à l'aide d'un multiplexeur.
أنشئ دارة تكشف مضاعفات 3 بين 0 و 15 بواسطة مجمّع واحد .

12

Réaliser le circuit logique qui calcule le produit de Deux nombres de 2 bits chacun, avec les circuits logiques uniquement.
صمّم دارة تحسب جداء عددين في كل منهما 2 بت، بواسطة الدارات المنطقية فقط

13

A l'aide d'un décodeur réaliser le circuit qui peut déterminer si un nombre binaire en 4 bits est supérieur à 10.

بواسطة مفكك الترميز، أنشئ دارة تكشف إن كان العدد أكبر من 10.

14

Soit le demi-soustracteur DS qui permet de soustraire deux bits, et le soustracteur complet SC qui permet de soustraire deux bits, avec retenue.

1. réaliser les deux circuits avec des portes logiques.
2. réaliser les deux circuits à l'aide des multiplexeurs.
3. réaliser les deux circuits avec des décodeurs.

ليكن الطارح البسيط DS الذي يطرح بتين، والطارح الكامل الذي يطرح بتين مع الاحتفاظ،

1. أنجز الدارتين بواسطة البوابات المنطقية
2. أنجز الدارتين بواسطة المجمعات
3. أنجز الدارتين بواسطة مفككات الترميز

15

On veut réaliser le circuit qui permet de déterminer les nombres non premiers entre 0 et 15.

1. Donner la table de vérité.
2. Réaliser le schéma à l'aide d'un seul multiplexeur.
3. Réaliser le même circuit avec un décodeur et un minimum de portes logiques

نريد تصميم دارة تكشف الأعداد غير الأولية بين 0 و 15 :

1. أعط جدول الحقيقة
2. أنشئ الدارة بواسطة مجمّع واحد
3. أنشئها بمفكك الترميز وأقل عدد من البوابات المنطقية

16

Réaliser un circuit qui determine si un nombre sur 4 bits n'est pas multiple de 3, à l'aide d'un multiplexeur (table de vérité, schéma à l'aide d'un multiplexeur)

أنجز دارة تبين إن كان عدد ذو 4 بت غير مضاعف ل3، بواسطة مجمّع،(جدول الحقيقة ومخطط بواسطة مجمّع)

17

Représenter la fonction suivante en utilisant des portes NAND : $F(A,B,C) = \bar{A}B + A\bar{B} + C$

مثل الدالة الآتية ببوابات نفي الوصل $F(A,B,C) = \bar{A}B + A\bar{B} + C$

6.3 Série d'exercice du Chapitre 3 تمارين الفصل الثالث

01 Réaliser une bascule RS en utilisant les portes NAND uniquement.

صمم قلابا RS بواسطة بوابات NAND فقط

Compléter le chronogramme selon les cas suivants — أكمل المخطط الزمني حسب الحالات الآتية

1. RS est asynchrone — القلاب غير متزامن
2. RS est synchronisée sur le front montant — القلاب متزامن عند الجبهة الصاعدة
3. RS est synchronisée sur le front descendant — القلاب متزامن عند الجبهة النازلة

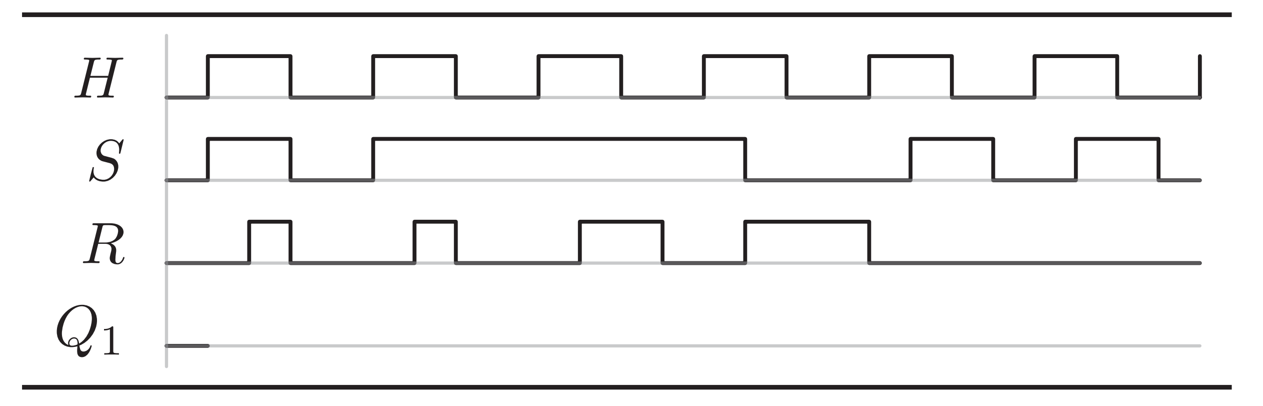


Fig. 6.7: Chronogramme de l'execice 1 المخطط الزمني للتمرين

02 Soit le montage ci-dessous — إليك التركيب الآتي

1. Donnez sa table de vérité — أعط جدول الحقيقة
2. Quel circuit logique reconnaissez-vous ? — تعرّف على الدارة
3. Remplissez le chronogramme suivant — أكمل المخطط الزمني

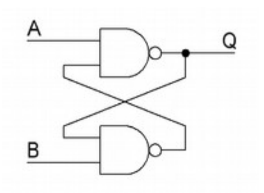


Fig. 6.8: Logigramme de l'exercie 2 المخطط المنطقي للتمرين

03 Soit le montage ci-dessous (figure 6.10) : — إليك التركيب الآتي في الشكل رقم 6.10 .

1. Remplissez le chronogramme suivant — أكمل المخطط الزمني

04 Remplissez le chronogramme en fonction du montage suivant : — أكمل المخطط الزمني

05 Soit les deux bascules JK ci-dessous : — إليك القلابين ج.ك الآتيين :

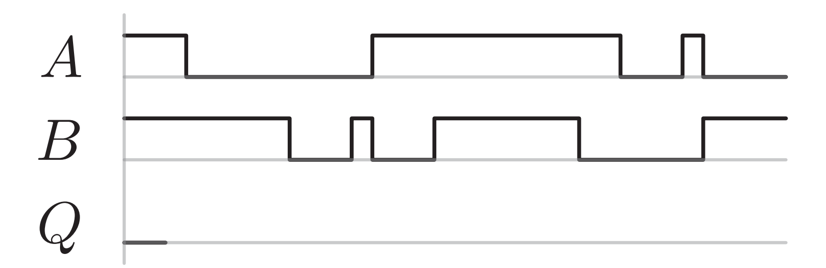


Fig. 6.9: Chronogramme de l'exercice 2 المخطط الزمني للتمرين

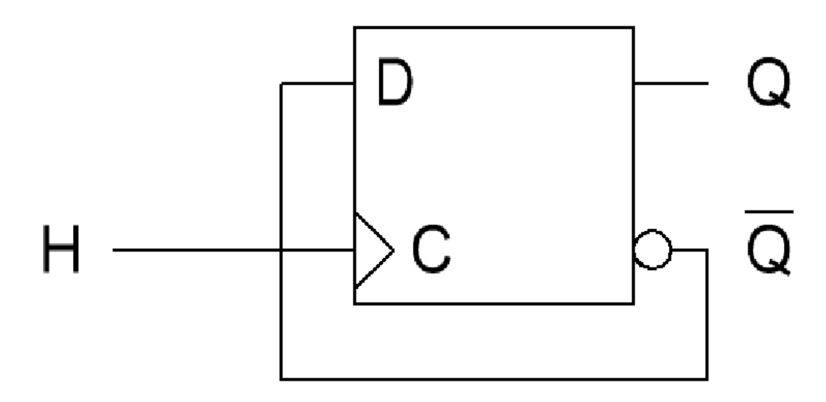


Fig. 6.10: Montage de l'exercice 3

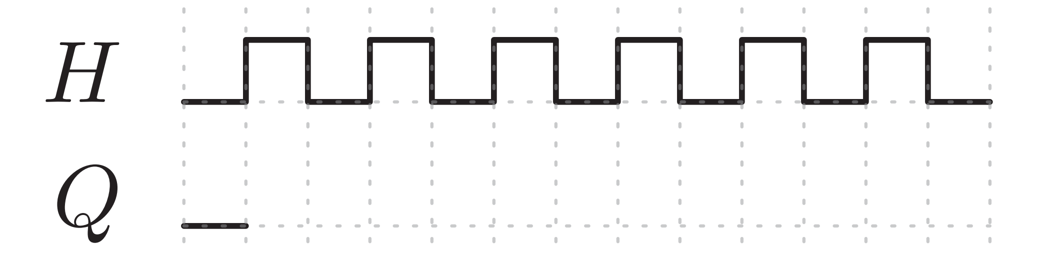


Fig. 6.11: Chronogramme de l'exercice 3 المخطط الزمني للتمرين

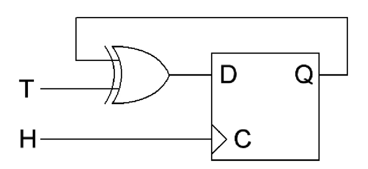


Fig. 6.12: Montage de l'exercice 4 تركيب للتمرين

1. Rappelez la table de vérité d'une bascule JK synchronisée sur front montant. Remplissez le chronogramme suivant

ذكِّر بجدول الحقيقة لقلاب ج.ك متزامن على الجبهة الصاعدة ثم أكمل المخطط الزمني

06 Reprendre le schéma de l'exercice 3,
Donnez un montage équivalent à l'aide d'une bascule JK.

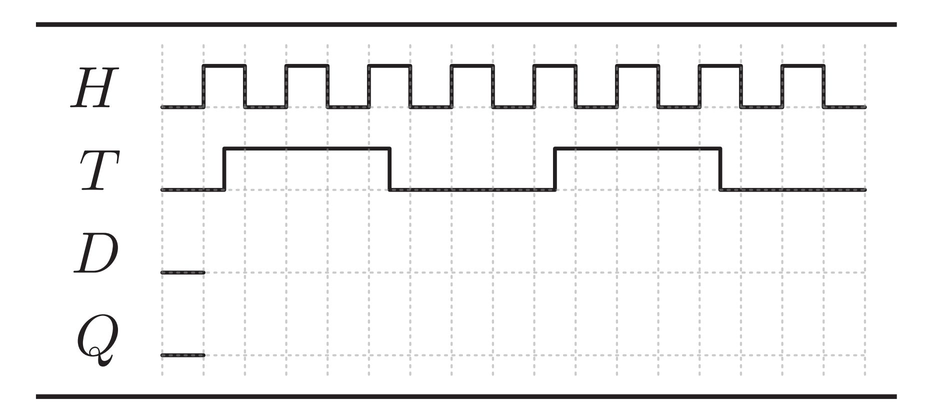


Fig. 6.13: Chronogramme de l'exercice 4 المخطط الزمني للتمرين

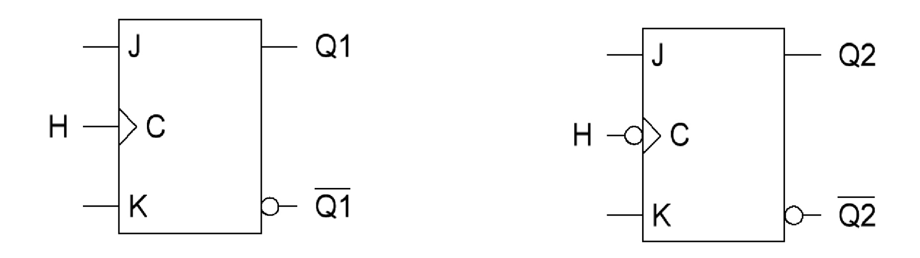


Fig. 6.14: Montage de l'exercice 5 تركيب للتمرين

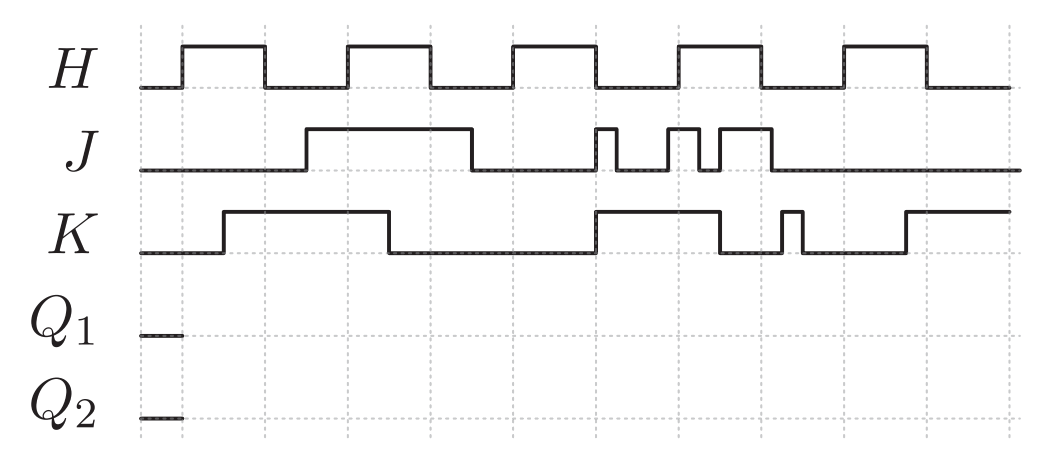


Fig. 6.15: Chronogramme de l'exercice 5 المخطط الزمني للتمرين

أعط تركيبا مكافئا بواسطة قلاب ج.ك لمخطط التمرين 3.

07 1. A partir du montage de la figure 6.16, remplissez le chronogramme ci-dessous :
من الشكل 6.16، أكمل المخطط الزمني

2. Que réalise le montage de la figure 6.16 ? ماذا يعمل هذا التركيب

3. On modifie légèrement le montage de la figure 6.16 afin d'obtenir le montage de la figure 6.18. En expliquant votre raisonnement, que réalise le montage de la figure 6.18 ?
بتعديل طفيف للتركيب في الشكل 6.16، نحصل على الشكل 6.18، اشرح ماذا يعمل هذا التركيب الجديد.

08 A partir du montage de la figure 6.19, Tracer le chronogramme pour les variables Q0, Q1, Q2, Q3 sur 17 cycles d'horloge, sachant que Q0, Q1, Q2, Q3 commencent de 0.
أرسم مخططا زمنيا حسب الشكل رقم 3، لمتغيرات Q0, Q1, Q2, Q3 على 17 دورا للساعة علما أن Q0, Q1, Q2, Q3 تنطلق من الصفر .

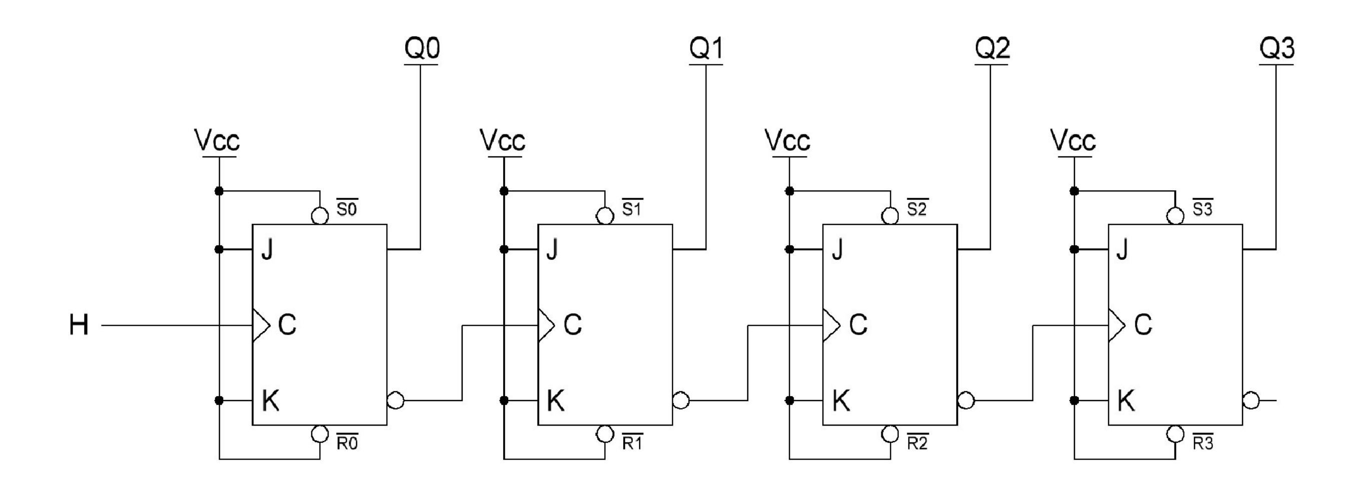


FIG. 6.16: Montage n°1 de l'exercice 7 التركيب الأول للتمرين

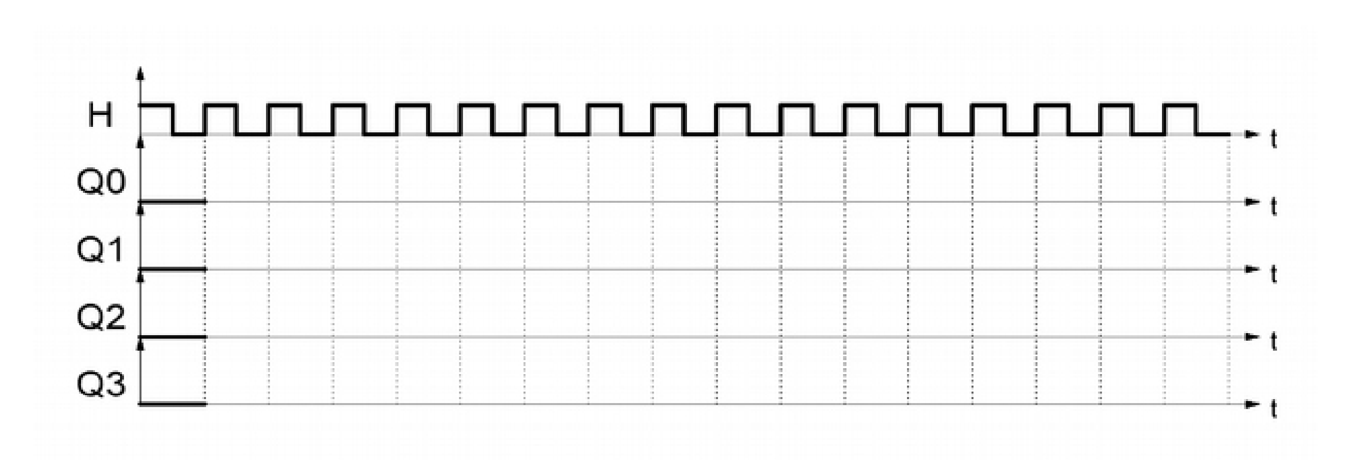


FIG. 6.17: Chronogramme n°1 de l'exercice 7 المخطط الزمني الأول للتمرين

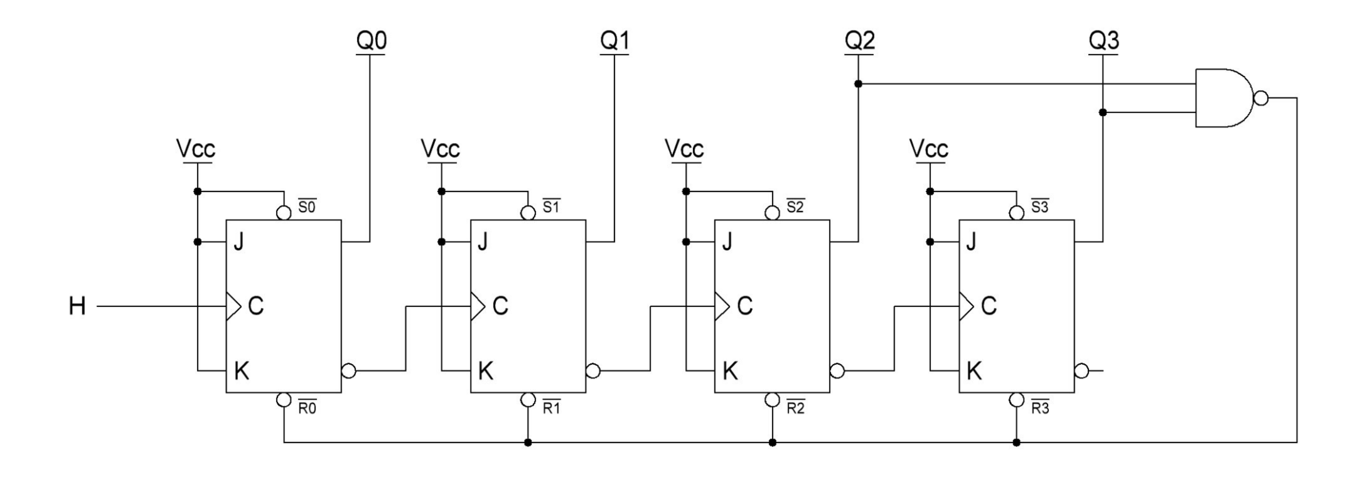


FIG. 6.18: Montage n°2 de l'exercice 7 التركيب الثاني للتمرين

1 Que réalise le montage de la figure 6.19 ?

ماذا يعمل التركيب في الشكل 6.19

2 On modifie légèrement le montage de la figure 6.19 afin d'obtenir le montage de la figure 6.20. En expliquant votre raisonnement, que réalise le montage de la figure 6.20 ?

بتعديل طفيف للشكل 6.19، نحصل على التركيب في الشكل 6.20، اشرح ماذا يعمل هذا التركيب

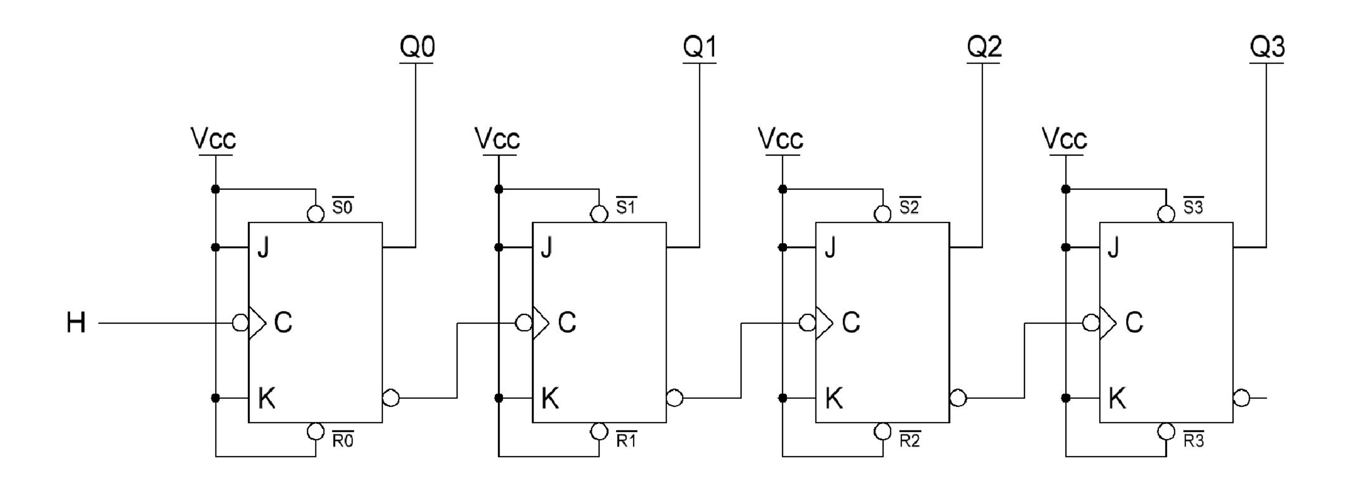


Fig. 6.19: Montage n°1 de l'exercice 8 التركيب الثاني للتمرين 8

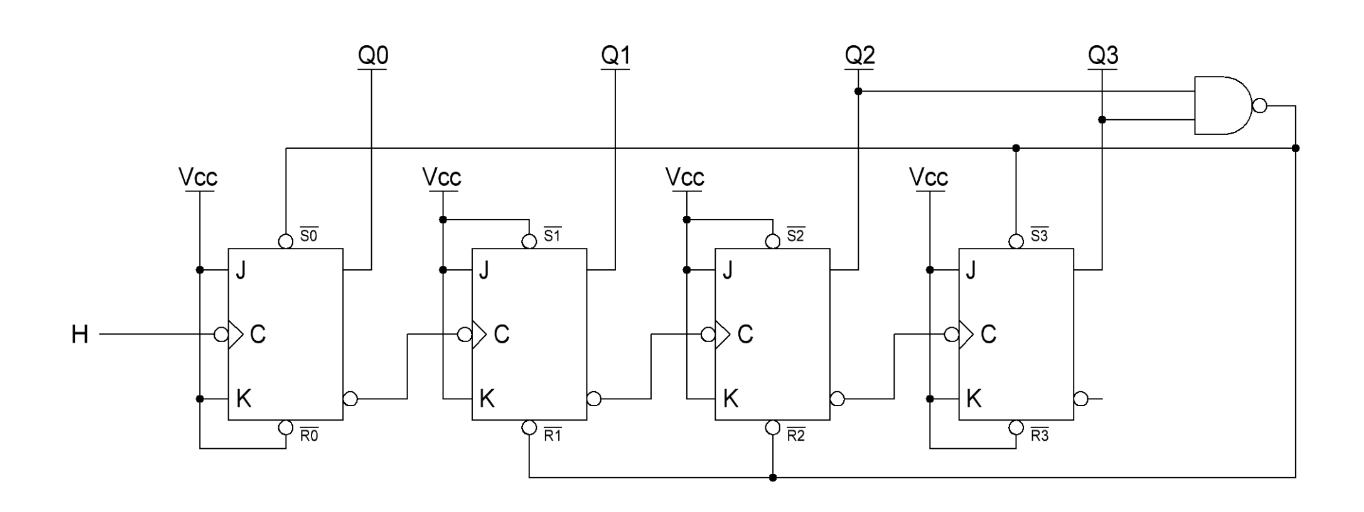


Fig. 6.20: Montage n°2 de l'exercice 8 المخطط الثاني للتمرين 8

6.3.1 Exercices supplémentaires للتعمّق

09 Soit le montage ci-dessous إليك التركيب الآتي

1 En supposant que l'entrée S soit toujours à 1, que réalise ce montage ?

2 En supposant que l'entrée S soit toujours à 0, que réalise ce montage ?

3 En supposant que l'entrée E soit toujours à 0, remplissez le chronogramme ci-dessous :

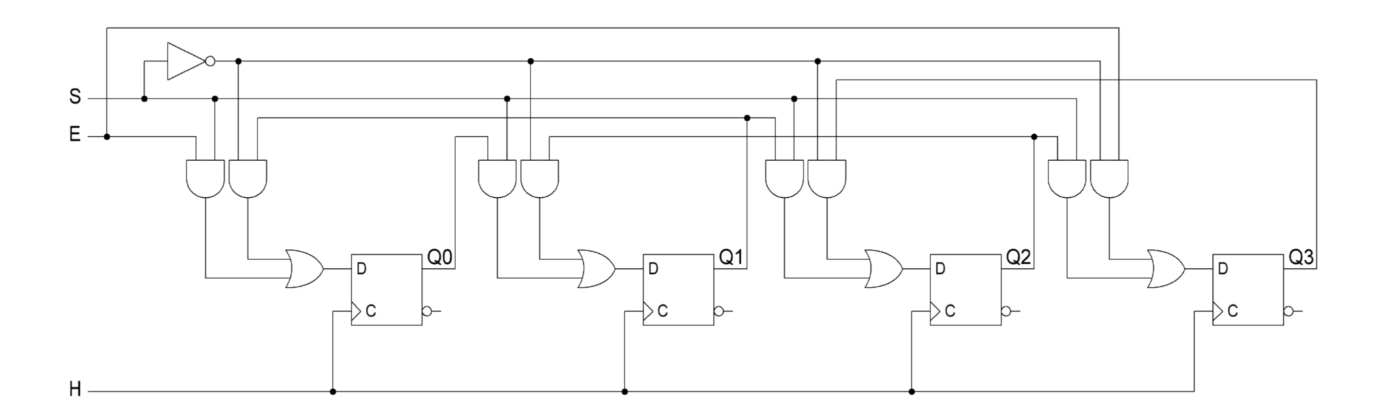


Fig. 6.21: Montage de l'exercice 9 تركيب للتمرين

- بفرض S=1 ، ماذا يعمل هذا التركيب؟
- بفرض S = 0 ، ماذا يعمل هذا التركيب؟
- بفرض E=0 أكمل المخطط الزمني الآتي

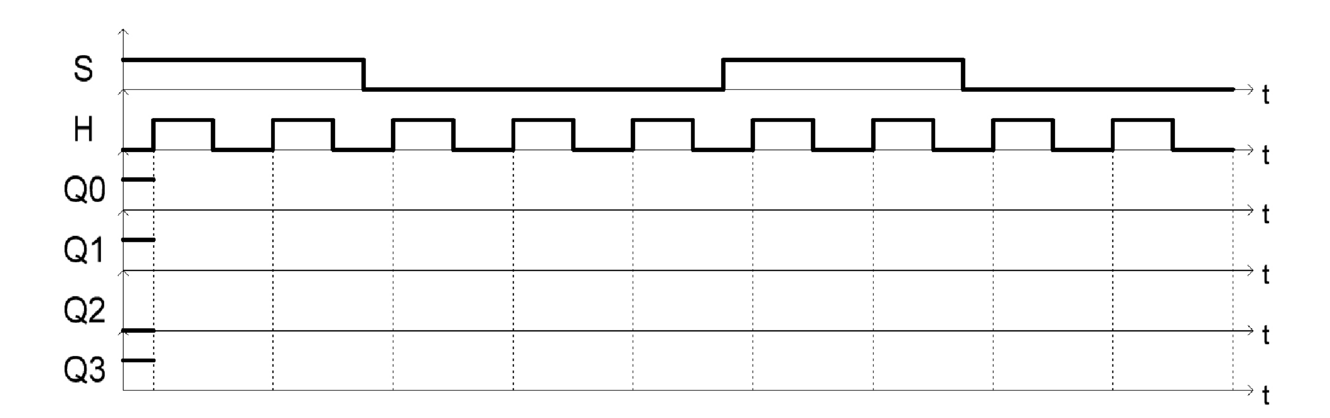


Fig. 6.22: Chronogramme de l'exercice 9 المخطط الزمني للتمرين

10 On souhaite réaliser, en un seul circuit, un compteur/décompteur modulo 16. Ce montage devra posséder

نريد تصميم دارة واحدة للعد التصاعدي والتنازلي بترديد 16. ينبغي أن يكون للتركيب نمطان للعمل، واحد للعد التصاعدي وآخر للتنازلي، ونختار النمط حسب المدخل S

Deux modes de fonctionnement : un mode compteur et un mode décompteur. La sélection du mode s'effectuera à l'aide d'une entrée S qui respectera les conditions suivantes :

- S = 0 . mode compteur — نمط تصاعدي
- S = 1 . mode décompteur. — نمط تنازلي

Vous avez à votre disposition quatre bascules JK synchronisées sur front montant et toutes les portes logiques nécessaires.

لديك أربعة قلابات ج.ك متزامنة على الجبهة الصاعدة، وما تحتاج إليه من بوابات منطقية.

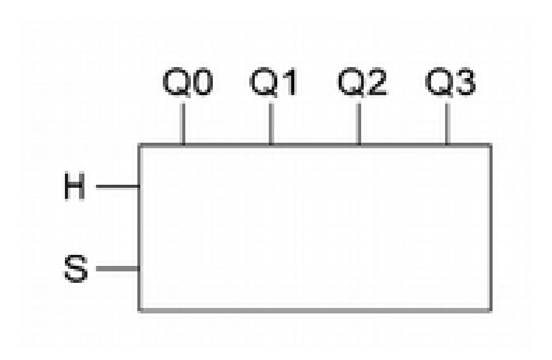


Fig. 6.23: Montage de l'exercice 10 تركيب للتمرين

1 Donnez le schéma de câblage d'un compteur modulo 16.

صمم عدادا تصاعديا بترديد 16.

2 Donnez le schéma de câblage d'un décompteur modulo 16

صمم عدادا تنازليا بترديد 16.

3 Donner le schéma de câblage du compteur/décompteur modulo 16.

صمم عدادا تصاعديا تنازليا بترديد 16.

11 Remplissez le chronogramme en fonction du montage suivant

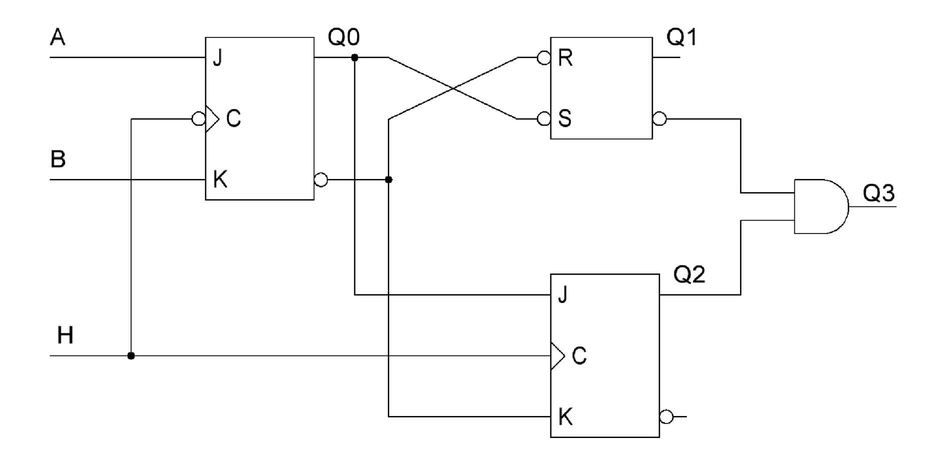


Fig. 6.24: Montage de l'exercice 11 تركيب للتمرين

12 En fonction du montage suivant, tracer le chronogramme pour les variables J0, K0, J1, K1, Q0, Q1, pour une durée de 5 cycles d'horloge, sachant que Q0 et Q1 démarrent de 0.
بدلالة المخطط التالي، أرسم مخططا زمنيا للمتغيرات J0, K0, J1, K1, Q0, Q1 خلال 5 أدوار للساعة علما أن Q0, Q1 تنطلق من الصفر .

13 Un compteur pair modulo 16 compte de 0, 2, 4, 6, 8, 10, 12, 14, 0, 2....
عداد زوجي بترديد 16 يعدّ من 0, 2, 4, 6, 8, 10, 12, 14, 0, 2...

1 Donner la table d'états du compteur — أعط جدول حالات العداد .

2 Que remarquer vous ? — ماذا تلاحظ

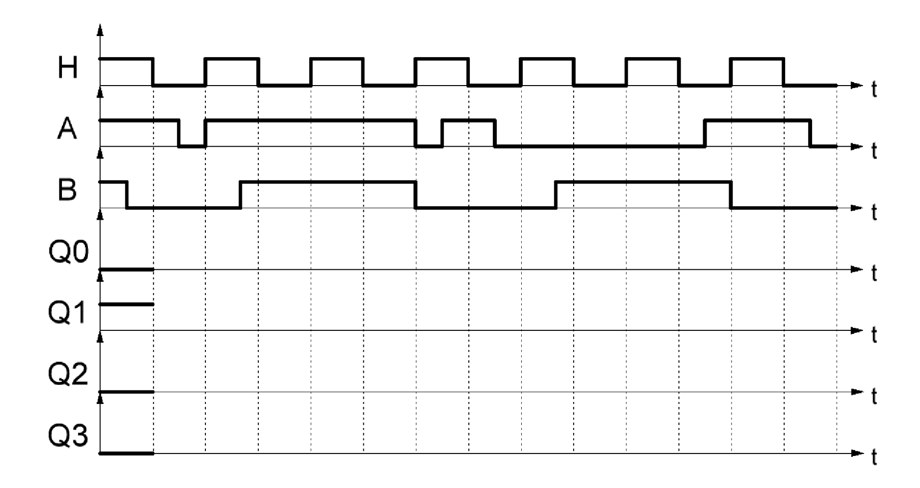


FIG. 6.25: Chronogramme de Montage de l'exercice 11 المخطط الزمني للتمرين

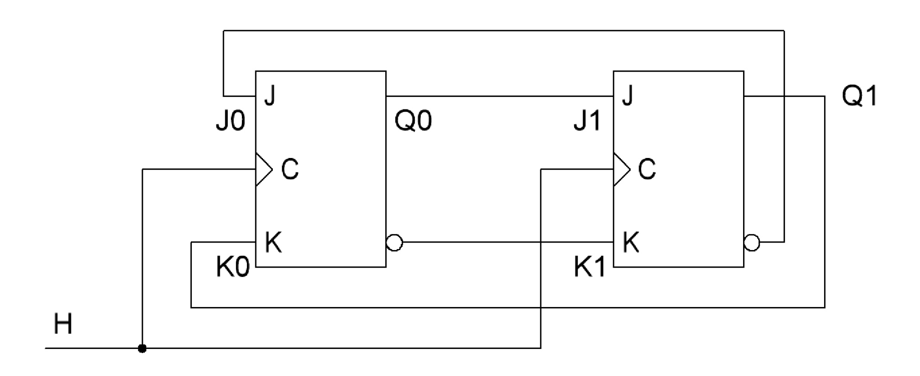


FIG. 6.26: Montage de l'exercice 12 تركيب للتمرين

3 Réaliser le schéma à l'aide des bascules JK. أنجز المخطط بواسطة قلابات ج,ك

14 Soit le circuit compteur suivant sur 5 bits modulo 32.

إليك دارة العداد الآتي ذي 5 بت بترديد 32، المدخل reset يسمح بتصفير العداد.

L'entrée Reset permet de remettre le compteur à zéro, Proposer le schéma qui permet d'utiliser le circuit CPT pour compter de 0 à 23.

اقترح مخططا باستعمال الدارة CPT للعد من 0 إلى 23.

On veut utiliser le circuit CPT pour déclancher une alarme chaque 30 seconds.

نريد استعمال الدارة CPT لإطلاق جرس إنذار كل 30 ثانية.

15 Tracer le chronogramme en fonction du montage suivant, pour les variables Q, Q', Ha, Hb, durant 8 cycles d'horloge. Q comence à 0

أرسم المخطط الزمني للمتغيرات Q, Q', Ha, Hb خلال 8 أدوار للساعة، علما أن Q تنطلق من 0.

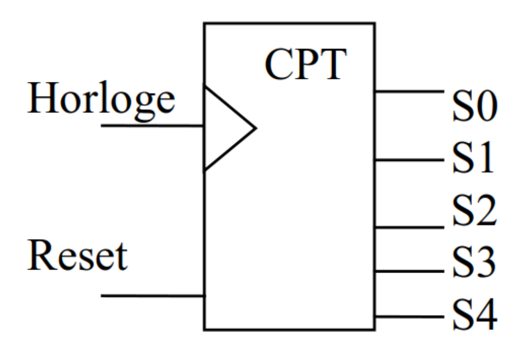


Fig. 6.27: Montage de l'exercice14 تركيب للتمرين

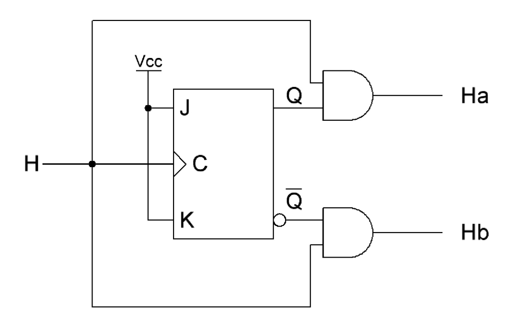


Fig. 6.28: Montage de l'exercice15 تركيب للتمرين

6.4 Série d'exercice des Chapitres 4 et 5 تمارين الفصل الرابع والخامس

translate

01 Donner l'architecture de base d'un Téléphone portable selon l'architecture de Von Neumann
ارسم مخطط بنية هاتف جوّال حسب معمارية فون نيومن.

02

1. Quelle est la taille de l'adresse pour adresser d'une mémoire de 4 Go ?
2. Si une adresse de 32 bits suffit pour adresser 4 Go,
   Pourquoi un système d'exploitation Windows 32 bits ne reconnaît pas une RAM de 4 Go.
3. Quelle est la taille qu'on peut adresser avec une adresse de 64bits ?

1. ما حجم عنوان الذاكرة لعنونة ذاكرة ذات 4 جيغابايت
2. إذا يكفي عنوان ذو 32 بت لعنونة 4 جيغابايت
   لماذا لا يتعرف نظام وندوز 32بت على ذاكرة حية ذات 4 جيغابايت.
3. ما حجم الذاكرة التي يمكن عنونتها بعنوان ذي 64 بت.

03 Réaliser une mémoire de 8K X12 (la taille d'un mot est de 12 bits) en utilisant des boîtiers de taille 2048 mots de 4 bits) ?
أنجز ذاكرة ذات 8 كيلو × 12 (حجم الكلمة 12 بت)، باستعمال علب ذاكرة ذات 2048 كلمة ذات 4 بتات.

04 **(Mémoire modulaire)** Soit une mémoire de taille de 4 Ko. Cette mémoire est découpée en 4 modules. Donner le schéma de cette mémoire en utilisant des boîtiers de 512 mots de 8 bits ?
(الذاكرة المقسمة) : لتكن ذاكرة سعتها 4 كيلوبايت. هذه الذاكرة مقسّمة إلى أربعة أقسام. أعط مخطط للذاكرة باستعمال صندوق ذاكرة ذات 512 كلمة، كل كلمة ذات 8 بت؟

05 **(Mémoires entrelacés)** Réaliser une mémoire de capacité 512 mot de 8 bits avec des boîtiers de 64 mots de 8 bits avec un degré entrelacement de 4.
ذاكرة متشابكة : أنجز ذاكرة سعتها 512 كلمة ذات 8 بتات بواسطة صناديق ذاكرة ذات 64 كلمة، كل كلمة ذات 8 بتات بدرجة تشبيك 4.

06 **Mémoires modulaires entrelacés** : Réaliser une mémoire de 128 Ko (taille d'un mot est 8 bits) organisé en quatre modules entrelacés avec un degré d'entrelacement D=4 (l'entrelacement se fait à l'intérieur des modules), en utilisant des circuits (boîtiers) de 4 Ko mots de 4 bits.
ذاكرات مقسمة متشابكة : أنجز ذاكرة سعتها 128 كيلوبايت (حجم الكلمة 8 بتات) منظمة في 4 أقسام متشابكة بدرجة تشابك D=4، (التشابك يجري في داخل الأقسام)، باستعمال دارات ذاكرة (صناديق) ذات 4 كيلو كلمة، كل كلمة من 4 بتات.

6.4.1 Exercices supplémentaires للتعمّق

07 Donner l'architecture de base d'une calculatrice selon l'architecture de Von Neumann

ارسم مخطط بنية آلة حاسبة حسب معمارية فون نيومن.

08 Quelle est la différence entre l'UAL et l'unité de commande.

ما الفرق بين وحدة الحساب والمنطق، ووحدة التحكم؟

09 Classer les mémoires selon les caractéristiques suivantes : صنّف الذاكرات حسب المعايير الآتية :

1. La capacité d'une mémoire — حجم الذاكرة
2. Volatilité — الديمومة والزوال
3. Mode d'accès à l'information (lecture /écriture) — نمط الوصول إلى المعلومة (قراءة/كتابة)
4. Morte/ vive — حية/ميتة
5. Technologie — تقنية التصنيع
6. Interne /externe — داخلية/خارجية

10 Donner l'architecture de base d'un démo numérique (récepteur satellite) selon l'architecture de Von Neumann

ارسم مخطط معمارية جهاز استقبال رقمي (استقبال قمر صناعي) حسب معمارية فون نيومن.

11 Soit une mémoire de taille de 4 Ko. Cette mémoire est découpée en 4 modules. Donner le schéma de cette mémoire en utilisant des boîtiers de 512 mots de 4 bits ?

لتكن ذاكرة سعتها 4 كيلو بايت، مقسّمة إلى أربعة أقسام. ارسم مخطط الذاكرة باستعمال صنادق ذاكرة ذات 512 كلمة ذات 4 بتات.

12 Réaliser une mémoire de capacité 512 mot de 8 bits avec des boîtiers de 64 mots de 4 bits avec un degré entrelacement de 4.

أنجز ذاكرة سعتها 512 كلمة ذات 8 بتات باستعمال صناديق ذاكرة ذات 64 كلمة ذات 4 بتات، بدرجة تشبيك تساوي 4.

6.5 Solutions du chapitre 1 حلول الفصل الأول

01

Une serrure de sécurité s'ouvre en fonction de quatre clés A, B, C, D. Le fonctionnement de la serrure est définie comme suite :

- $S(A, B, C, D) = 1$ si au moins deux clés sont utilisées
- $S(A, B, C, D) = 0$ sinon
- Les clés A et C ne peuvent pas être utilisées en même temps.

Donner les formes canoniques R et P Réaliser le circuit.

قفل أمان يفتح بواسطة أربعة مفاتيح A و B و C و D. يعمل القفل كالآتي : إذا استعمل مفتاحين على الأقل $S(A, B, C, D) = 1$
وإلا $S(A, B, C, D) = 0$
لا يستعمل A C في نفس الوقت أعط الأشكال القانونية الرقمية R و P
أنجز الدارة

1 Définition des entrées et des sorties تعريف المداخل والمخارج

- les entrées :
  - → Clé A : "utilisée" noté 1 "non utilisée" noté 0
  - → Clé B : "utilisée" noté 1 "non utilisée" noté 0
  - → Clé C : "utilisée" noté 1 "non utilisée" noté 0
  - → Clé D : "utilisée" noté 1 "non utilisée" noté 0
- la sortie
  - → la serrure S ; "ouverte" noté 1 "fermée" noté 0

2 Table de vérité

	A	B	C	D	S0
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	1
10	1	0	1	0	X
11	1	0	1	1	X
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	X
15	1	1	1	1	X

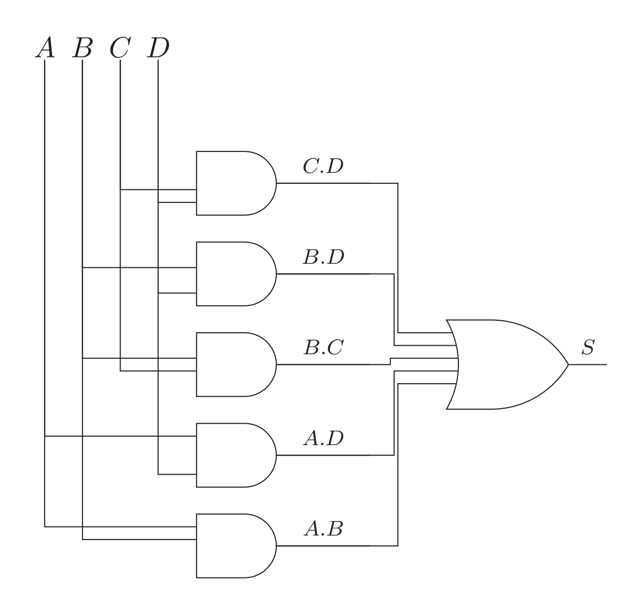


FIG. 6.29: Exercice 1 : Logigramme de la fonction S

3 Les formes canoniques numériques

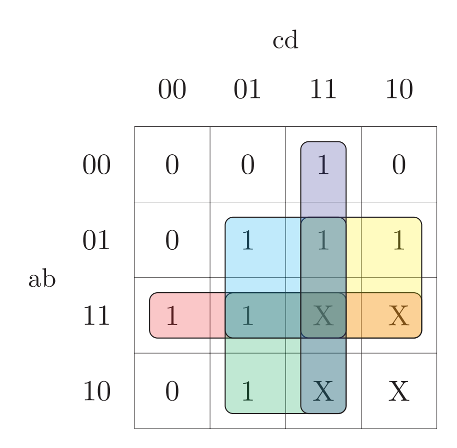
La première forme canonique numérique

$S(a,b,c,d) = \sum[3,5,6,7,9,12,13]$

La deuxième forme canonique numérique

$S(a,b,c,d) = \prod[0,1,2,4,8]$

4 Simplification par le tableau de Karnaugh



ab \ cd	00	01	11	10
00	0	0	1	0
01	0	1	1	1
11	1	1	X	X
10	0	1	X	X

Karnough map

La foncti $S = a.b.\bar{c} + a.\bar{c}.d + \bar{a}.b.c + \bar{a}.b.d + \bar{a}.c.d$

5 Logigramme de la fonction

02 Une machine de distribution de boissons, offre : café, lait, café au lait, avec ou sans sucre. La machine dispose de 3 boutons (Lait, Café, Sans Sucre) et une entrée de pièces de monnaies. La machine contient trois réservoirs (Café, sucre et Lait).

- Déterminer les fonctions logiques qui permet d'ouvrir les robinets des réservoirs en fonction des boutons.

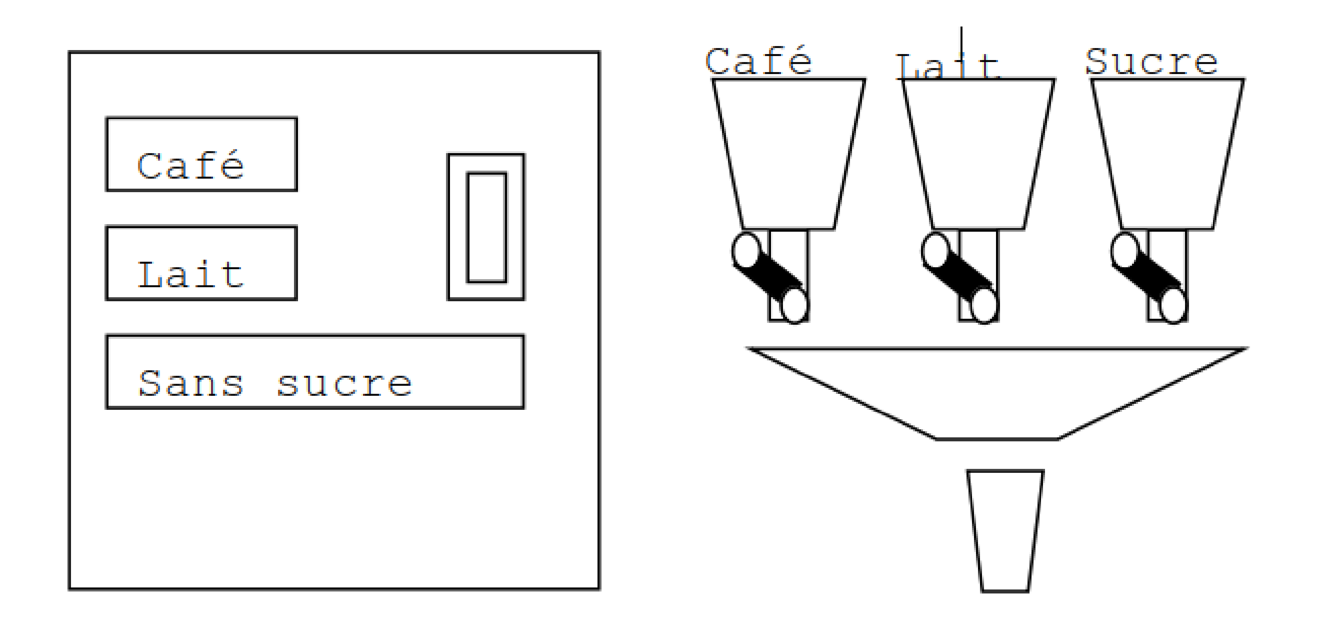


Fig. 6.30: Schéma de l'exercice 2

- Réaliser le schéma logique qui permet de distribuer les boissons.

آلة توزيع المشروبات تقدّم القهوة، الحليب، القهوة بالحليب، بالسكر أو بدونه . الآلة فيها ثلاثة أزرار (حليب، قهوة، دون سكر) ومدخل للقطعة النقدية . الآلة في داخلها ثلاثة خزانات للقهوة والسكر والحليب،

- حدد الدوال المنطقية التي تفتح حنفيات الخزانات بدلالة الأزرار

- أنجز المخطط المنطقي الذي يوزّع المشروبات

.

1 Définition des entrées et des sorties

- les entrées :
  - → Pièce de Monnaie M : "Introduite" noté 1 "Non introduite" noté 0
  - → Bouton Café C : "appuyé" noté 1 "non appuyé" noté 0
  - → Bouton Lait L : "appuyé" noté 1 "non appuyé" noté 0
  - → Bouton Sans sucre Ss : "appuyé" noté 1 "non appuyé" noté 0
- les sorties
  - → Le robinet du café Ca ; "ouvert" noté 1 "fermé" noté 0
  - → Le robinet du lait La ; "ouvert" noté 1 "fermé" noté 0
  - → Le robinet du sucre Su ; "ouvert" noté 1 "fermé" noté 0

2 Table de vérité

	M	C	L	Ss	Ca	La	Su
0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0
2	0	0	1	0	0	0	0
3	0	0	1	1	0	0	0
4	0	1	0	0	0	0	0
5	0	1	0	1	0	0	0
6	0	1	1	0	0	0	0
7	0	1	1	1	0	0	0
8	1	0	0	0	0	0	0
9	1	0	0	1	0	0	0
10	1	0	1	0	0	1	1
11	1	0	1	1	0	1	0
12	1	1	0	0	1	0	1
13	1	1	0	1	1	0	0
14	1	1	1	0	1	1	1
15	1	1	1	1	1	1	0

3 Formes canoniques numériques des fonctions

- Ca(M,C,L,Ss)=$\sum[12, 13, 14, 15]$
- La(M,C,L,Ss)=$\sum[10, 11, 14, 15]$
- Su(M,C,L,Ss)=$\sum[10, 12, 14]$

La fonction Ca

MC \ L.Ss	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	0	0	0

La fonction simplifiée Ca : $M.C$

La fonction La

MC \ L.Ss	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	1	1
10	0	0	1	1

La fonction simplifiée La : $M.L$

La fonction Su

MC \ L.Ss	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	0	0	1
10	0	0	0	1

La fonction simplifiée Su : $M.C.\bar{S}s + M.L.\bar{S}s$

4 Logigramme de la fonction

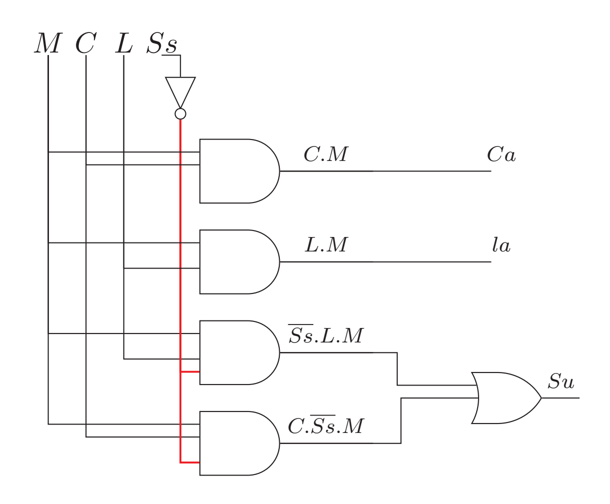


FIG. 6.31: Schéma de l'exercice 2

03 Le circuit DIV qui calcule la division euclidienne de deux nombres de 2 bits chacun (le quotient et le reste),

CD	AB
R_1R_0	Q_1Q_0

La division sur zéro est un cas interdit Réaliser le circuit

الدارة DIV تحسب القسمة الإقليدية لعددين في كل منهما 2 بتين (حاصل القسمة والباقي) في حالة القسمة على صفر، تعتبر حالة ممنوعة أنجز الدارة

1 Définition des entrées et des sorties تعريف المداخل والمخارج

- Les entrées المداخل :
  - → deux bits pour le diviseur بتين اثنين للقاسم
    - ∗ bit A : 1 0
    - ∗ bit B : 1 0
  - → deux bits pour le divisé بتين اثنين للمقسوم
    - ∗ bit C : 1 0

  * bit D : 1 0

→ Les sorties المخارج

  * deux bits pour le quotion بتين اثنين للحاصل
    - bit Q1: 1 0
    - bit Q0: 1 0
  * deux bits pour le reste بتين اثنين للباقي
    - bit R1: 1 0
    - bit R0: 1 0

- Table de vérité جدول الحقيقة

N°	A	B	C	D	Q1	Q0	R1	R0
0	0	0	0	0	X	X	X	X
1	0	0	0	1	X	X	X	X
2	0	0	1	0	X	X	X	X
3	0	0	1	1	X	X	X	X
4	0	1	0	0	0	0	0	0
5	0	1	0	1	0	1	0	0
6	0	1	1	0	1	0	0	0
7	0	1	1	1	1	1	0	0
8	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	1
10	1	0	1	0	0	1	0	0
11	1	0	1	1	0	1	0	1
12	1	1	0	0	0	0	0	0
13	1	1	0	1	0	0	0	1
14	1	1	1	0	0	0	1	0
15	1	1	1	1	0	1	0	0

- Les formes canoniques الأشكال القانونية

→ La première forme canonique : الشكل القانوني الأول

  * Q1(A, B, C, D) $= \sum \bar{A}.B.C.\bar{D} + \bar{A}.B.C.D$
  * Q0(A, B, C, D) $= \sum \bar{A}.B.\bar{C}.D + \bar{A}.B.C.D + A.\bar{B}.C.\bar{D} + A.\bar{B}.C.D + A.B.C.D$
  * R1(A, B, C, D) $= \sum A.B.C.\bar{D}$
  * R0(A, B, C, D) $= \sum A.\bar{B}.\bar{C}.D + A.\bar{B}.C.D + A.B.\bar{C}.D$

→ La deuxième forme canonique : الشكل القانوني الثاني

  * Q1(A, B, C, D) $= \prod(A+B+C+D).(A+B+C+\bar{D}).(A+B+\bar{C}+D).(A+B+\bar{C}+\bar{D}).(A+\bar{B}+C+D).(A+\bar{B}+C+\bar{D}).(\bar{A}+B+C+D).(\bar{A}+B+C+\bar{D}).(\bar{A}+B+\bar{C}+D).(\bar{A}+B+\bar{C}+\bar{D}).(\bar{A}+\bar{B}+C+D).(\bar{A}+\bar{B}+C+\bar{D}).(\bar{A}+\bar{B}+\bar{C}+D).(\bar{A}+\bar{B}+\bar{C}+\bar{D})$
  * Q0(A, B, C, D) $= \prod(A+B+C+D).(A+B+C+\bar{D}).(A+B+\bar{C}+D).(A+B+\bar{C}+\bar{D}).(A+\bar{B}+C+D).(A+\bar{B}+\bar{C}+D).(\bar{A}+B+C+D).(\bar{A}+B+C+\bar{D}).(\bar{A}+\bar{B}+C+D).(\bar{A}+\bar{B}+C+\bar{D}).(\bar{A}+\bar{B}+\bar{C}+D)$
  * R1(A, B, C, D) $= \prod(A+B+C+D).(A+B+C+\bar{D}).(A+B+\bar{C}+D).(A+B+\bar{C}+\bar{D}).(A+\bar{B}+C+D).(A+\bar{B}+C+\bar{D}).(A+\bar{B}+\bar{C}+D).(A+\bar{B}+\bar{C}+\bar{D}).(\bar{A}+B+C+D).(\bar{A}+B+C+\bar{D}).(\bar{A}+B+\bar{C}+D).(\bar{A}+B+\bar{C}+\bar{D}).(\bar{A}+\bar{B}+C+D).(\bar{A}+\bar{B}+C+\bar{D}).(\bar{A}+\bar{B}+\bar{C}+\bar{D})$
  * R0(A, B, C, D) $= \prod(A+B+C+D).(A+B+C+\bar{D}).(A+B+\bar{C}+D).(A+B+\bar{C}+\bar{D}).(A+\bar{B}+C+D).(A+\bar{B}+C+\bar{D}).(A+\bar{B}+\bar{C}+D).(A+\bar{B}+\bar{C}+\bar{D}).(\bar{A}+B+C+D).(\bar{A}+B+\bar{C}+D).(\bar{A}+\bar{B}+C+D).(\bar{A}+\bar{B}+\bar{C}+D).(\bar{A}+\bar{B}+\bar{C}+\bar{D})$

→ La première forme canonique numérique ; الشكل القانوني الرقمي الأول

- $Q1(A, B, C, D) = \sum[6, 7]$
- $Q0(A, B, C, D) = \sum[5, 7, 10, 11, 15]$
- $R1(A, B, C, D) = \sum[14]$
- $R0(A, B, C, D) = \sum[9, 11, 13]$

→ La deuxième forme canonique numérique ; الشكل القانوني الرقمي الثاني

- $Q1(A, B, C, D) = \prod[4, 5, 8, 9, 10, 11, 12, 13, 14, 15]$
- $Q0(A, B, C, D) = \prod[4, 6, 8, 9, 12, 13, 14]$
- $R1(A, B, C, D) = \prod[4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 15]$
- $R0(A, B, C, D) = \prod[4, 5, 6, 7, 8, 10, 12, 14, 15]$

- Tableaux de Karnough مخطط كارنوف

→ La fonction Q1 الدالة

AB \ CD	00	01	11	10
00	X	X	X	X
01	0	0	1	1
11	0	0	0	0
10	0	0	0	0

La forme simplifiée الشكل المبسط

$Q1 = \bar{a}.c$

→ La fonction Q0 الدالة

AB \ CD	00	01	11	10
00	X	X	X	X
01	0	1	1	0
11	0	0	1	0
10	0	0	1	1

La forme simplifiée الشكل المبسط

$Q0 = c.d + \bar{b}.c + \bar{a}.d$

→ La fonction R1 الدالة

AB \ CD	00	01	11	10
00	X	X	X	X
01	0	0	0	0
11	0	0	0	1
10	0	0	0	0

La forme simplifiée الشكل المبسط

$R1 = a.b.c.\bar{d}$

→ La fonction R0 الدالة

AB \ CD	00	01	11	10
00	X	X	X	X
01	0	0	0	0
11	0	1	0	0
10	0	1	1	0

La forme simplifiée الشكل المبسط

$R0 = \bar{b}.d + a.\bar{c}.d$

- Logigrammes المخططات المنطقية

”

04

- Réaliser le circuit C1, qui permet d'additionner deux bits.

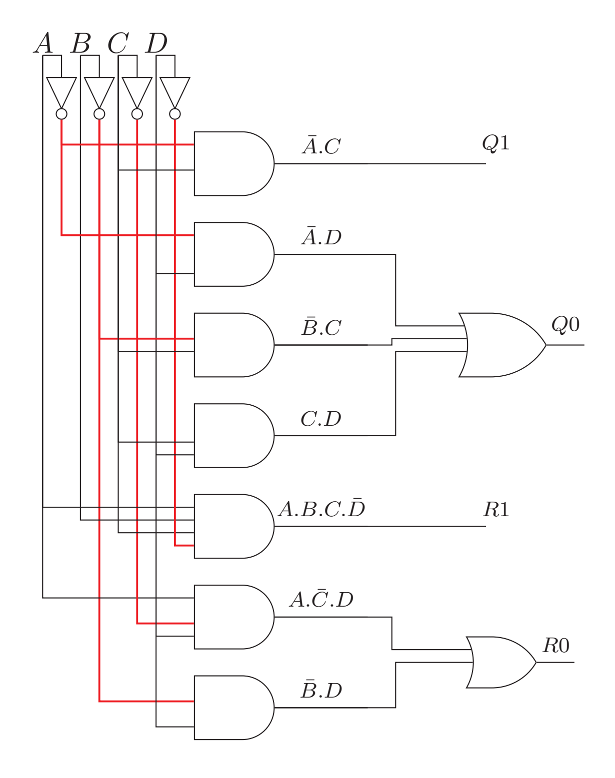


Fig. 6.32: Exercice 3 : Logigramme de la division المخطط المنطقي لدارة القسمة

- Est-ce qu'on peut l'utiliser pour additionner plusieurs bits ?.
- Réaliser un circuit (ADD) qui permet d'additionner deux bits avec une retenue en entrée.

أنجز الدارة C1 التي تجمع بتين اثنين.

هل يمكن استعمالها لجمع بتات أكثر؟

أنجز الدارة ADD التي تجمع بتين مع مدخل خاص بالاحتفاظ .

a. Réaliser le circuit C1, qui permet d'additionner deux bits.
- Définition des entrées et des sorties تعريف المداخل والمخارج
  - → Les entrées المداخل : Deux bits pour l'addition بتين اثنين للجمع
    - ∗ bit A : 1 0
    - ∗ bit B : 1 0
  - → Les sorties المخارج
    Deux bits pour le resulat بتين اثنين للنتيجة فيها المجموع والاحتفاظ
    - ∗ bit de la somme S : 1 0
    - ∗ bit de la retenue : 1 0
- Table de vérité Remarquons dans le tableau ci-dessus que A+B représente le poids faible tandis que Retenue représente le poids fort. نلاحظ أن الدالة S تمثل البت الأدنى، فيما يمثل R البت الأعلى قوة

A	B	R	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

- Les formes simplifiées de la fonction لسنا بحاجة إلى استعمال جدول كارنوف للتبسيط
  → $S = \bar{A}.B + A.\bar{B} = A \bigoplus B$

→ $R = A.B$

- Le logigramme du circuit مخطط الدارة

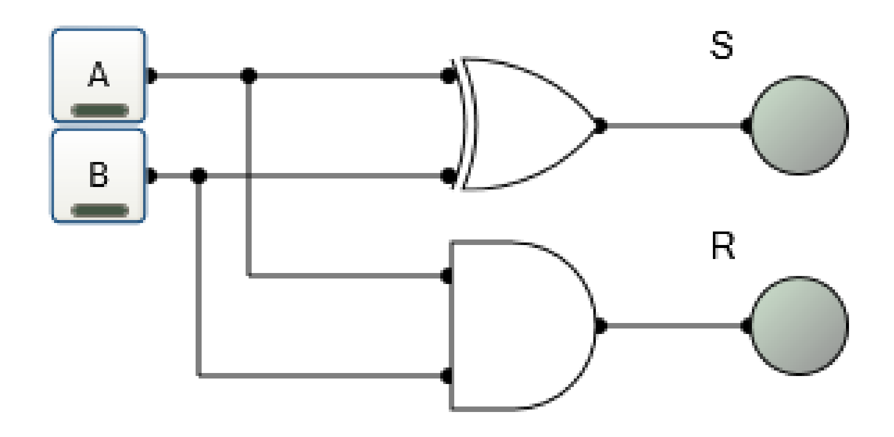


Fig. 6.33: Schéma d'un demi additionneur

b. Est-ce qu'on peut l'utiliser pour additionner plusieurs bits ?.
Le demi additionneur permet d'additionner les bits de poids faible seulement. Il faut ajouter une retenue d'entrée pour pouvoir l'utiliser pour l'addition de plusieurs bits.
تجمع دارة الجمع البسيط بتين في القوة الأدنى، لذا نحتاج إلى مدخل آخر للاحتفاظ من أجل جمع أكثر من بتين.

c. Réaliser un circuit (ADD) qui permet d'additionner deux bits avec une retenue en entrée.

- Définition des entrées et des sorties تعريف المداخل والمخارج

→ Les entrées المداخل : Deux bits pour l'addition بتين اثنين للجمع

* bit A : 1 0
* bit B : 1 0

un bit pour la retenue en entrée R_e بت للاحتفاظ السابق

* bit R : 1 0

→ Les sorties المخارج
Deux bits pour le resulat بتين اثنين للنتيجة فيها المجموع والاحتفاظ

* bit de la somme S : 1 0
* bit de la retenue e, sortie R_s : 1 0

A	B	R_e	S	R_s
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

- Les formes simplifiées de la fonction

→ $S = \bar{R}_e.(A \bigoplus B) + R_e.\bar{A}.\bar{B} + R_e.A.B$

→ $S = \bar{R}_e.(A \bigoplus B) + R_e(\bar{A}.\bar{B} + A.B)$

on a $(\bar{A}.\bar{B} + A.B) = \bar{(}A \bigoplus B)$

$\rightarrow$ $S = \bar{R}_e.(A \bigoplus B) + R_e\overline{(A \bigoplus B)}$
donc $S = R_e \bigoplus (A \bigoplus B)$

$\rightarrow$ $R = \bar{A}.B.R + A\bar{B}.R + A.B.\bar{R} + A.B.R$

$\rightarrow$ $R = R.(\bar{A}.B + A\bar{B}) + A.B.(\bar{R} + R)$

$\rightarrow$ $R = R.(A \bigoplus B) + A.B$

- Le logigramme du circuit مخطط الدارة

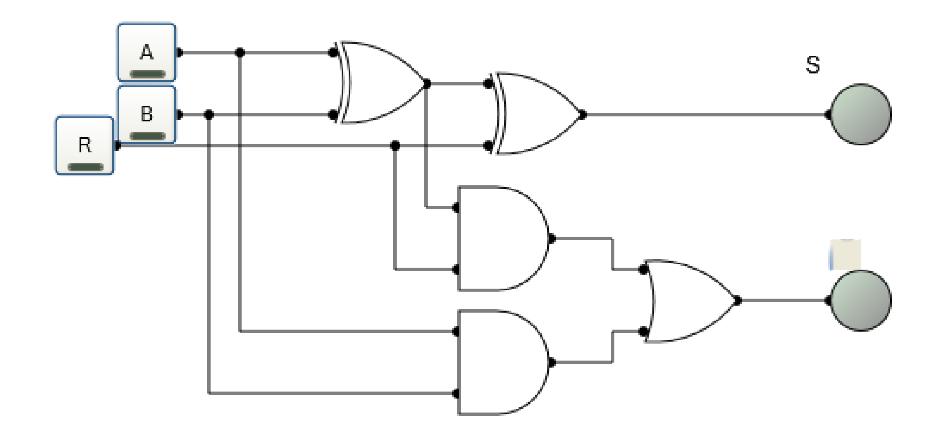


Fig. 6.34: Schéma d'un additionneur complet

05 Utiliser les circuits ADD pour faire un additionneur des nombres binaires sur 4 bits.

باستعمال دارات ADD لتصميم جامع للأعداد الثنائية على 4 بتات .

06 Réaliser un circuit C5 qui permet de commander 8 lampes et allumer une seule lampe à la fois par numéro.

أنجز دارة C5 تحكم في 8 مصابيح، وتشعل مصباحا واحدا فقط في المرة حسب رقمها.

- Définition des entrées et des sorties تعريف المداخل والمخارج
  - $\rightarrow$ les entrées :
    - ∗ Bouton A : "appuyé" noté 1 "non appuyé" noté 0
    - ∗ Bouton B : "appuyé" noté 1 "non appuyé" noté 0
    - ∗ Bouton C : "appuyé" noté 1 "non appuyé" noté 0
  - $\rightarrow$ les sorties
    - ∗ la lamp L0; "on" noté 1 "off" noté 0, elle s'allume lorsque les boutons donne le nombre 0 codé en binaire $(000)_2$
    - ∗ la lamp L0; "on" noté 1 "off" noté 0; allumé en cas -$(000)_2$
    - ∗ la lamp L1; "on" noté 1 "off" noté 0; allumé en cas -$(001)_2$
    - ∗ la lamp L2; "on" noté 1 "off" noté 0; allumé en cas -$(010)_2$
    - ∗ la lamp L3; "on" noté 1 "off" noté 0; allumé en cas -$(011)_2$
    - ∗ la lamp L4; "on" noté 1 "off" noté 0; allumé en cas -$(100)_2$
    - ∗ la lamp L5; "on" noté 1 "off" noté 0; allumé en cas -$(101)_2$
    - ∗ la lamp L6; "on" noté 1 "off" noté 0; allumé en cas -$(110)_2$

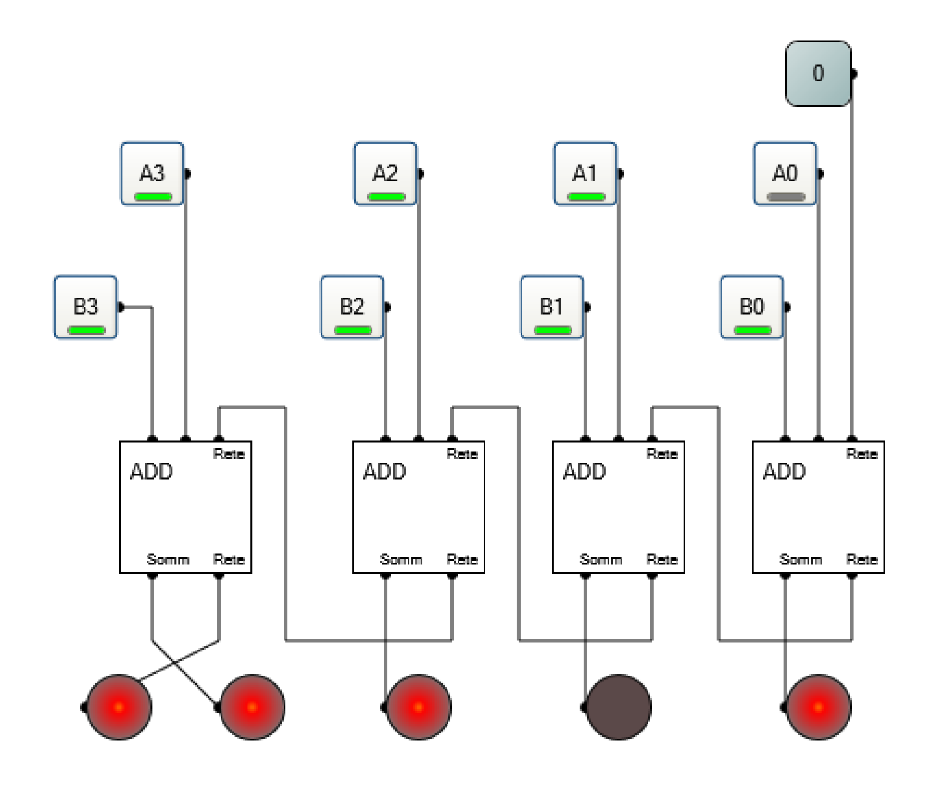


FIG. 6.35: Schéma d'un additionneur complet

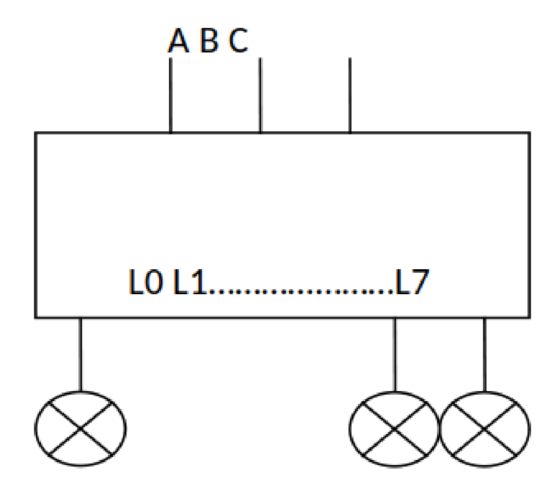


FIG. 6.36: Schéma bloc de l'exercice 6

∗ la lamp L7; ”on” noté 1 ”off” noté 0; allumé en cas -$(111)_2$

- Table de vérité جدول الحقيقة

A	B	C		L0	L1	L2	L3	L4	L5	L6	L7
0	0	0		1	0	0	0	0	0	0	0
0	0	1		0	1	0	0	0	0	0	0
0	1	0		0	0	1	0	0	0	0	0
0	1	1		0	0	0	1	0	0	0	0
1	0	0		0	0	0	0	1	0	0	0
1	0	1		0	0	0	0	0	1	0	0
1	1	0		0	0	0	0	0	0	1	0
1	1	1		0	0	0	0	0	0	0	1

- Les formes simplifiées de la fonction لسنا بحاجة إلى استعمال جدول كارنوف للتبسيط
  - → la lamp $L0 = \bar{A}.\bar{B}.\bar{C}$
  - → la lamp $L1 = \bar{A}.\bar{B}.C$
  - → la lamp $L2 = \bar{A}.B.\bar{C}$
  - → la lamp $L3 = \bar{A}.B.C$
  - → la lamp $L4 = A.\bar{B}.\bar{C}$
  - → la lamp $L5 = A.\bar{B}.C$
  - → la lamp $L6 = A.B.\bar{C}$
  - → la lamp $L7 = A.B.C$
- Logigramme مخطط منطقي

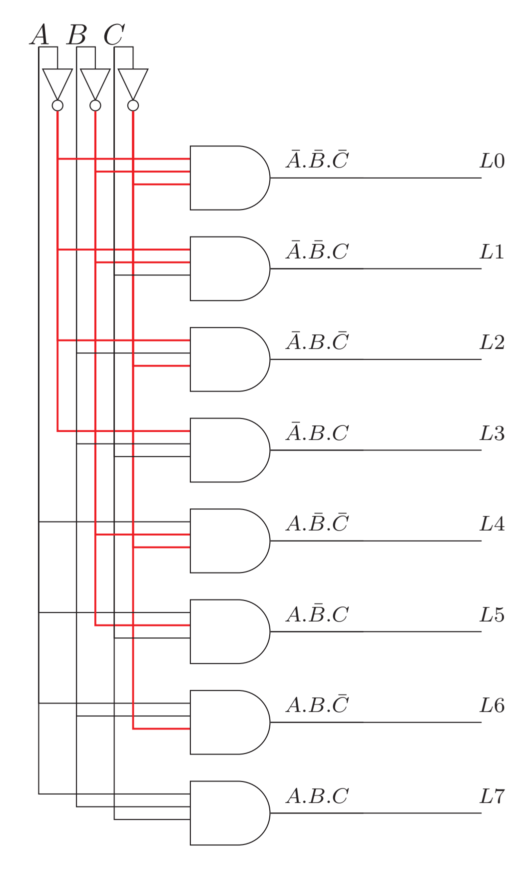


FIG. 6.37: Exercice 6 : Réalisation du logigramme des lampsتصميم دارة التحكم في المصابيح

07

a. Fabriquez une porte NON à partir d'une porte NON-ET Le Non-ET $\overline{A.B}$ est noté ↑, $Anon-etB = A \uparrow B$ On peut exprimer le Non par le Non-ET comme suite :

صمّم البوابة " لا " بواسطة بوابة " نفي الوصل ",

يرمز لنفي الوصل $\overline{A.B}$ ويرمز له ↑, $Anon-etB = A \uparrow B$ يمكن التعبير عن بوابة النفي كما يلي

$\bar{A} = \overline{A.A} = A \uparrow A$

FIG. 6.38: Réalisation d'une porte logique NON avec une porte Non-ET

b. Fabriquez une porte ET à partir de portes NON-ET. On peut exprimer la porte logique "ET" par le Non-ET comme suite :

صمّم البوابة " وصل " بواسطة بوابة " نفي الوصل "
يمكن التعبير عن بوابة الوصل كما يلي

$A.B = \overline{\overline{A.B}} = \overline{(A \uparrow B)}$
sachant que $\bar{X} = X \uparrow X$, donc $A.B = \overline{(A \uparrow B)} = (A \uparrow B) \uparrow (A \uparrow B)$

FIG. 6.39: Réalisation d'une porte logique ET avec une porte Non-ET

08

a. Réaliser le circuit de la fonction $f1$ en utilisant uniquement des portes NAND

a. أنجز دارة الدالة $f1$ باستعمال بوابات " نفي الوصل " NAND فقط.

$f1 = a.\bar{b} + \bar{a}.b + \bar{a}.c.d$

نستعمل مبرهنة ديمورغان، باستعمال خطين علويين على العبارة،

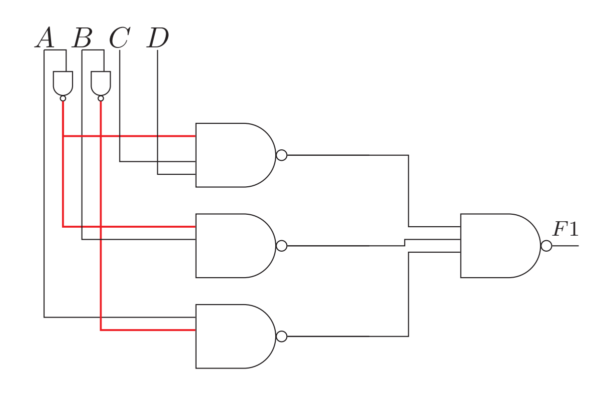
$$\overline{\overline{a.\bar{b} + \bar{a}.b + \bar{a}.c.d}}$$

نقسم الخط للتخلص من علامة +،

$$\overline{(\overline{a.\bar{b}}).(\overline{\bar{a}.b}).(\overline{\bar{a}.c.d})}$$

نستبدل كل نفي للوصل بالرمز ↑

$$(A \uparrow (B \uparrow B)) \uparrow ((A \uparrow A) \uparrow B) \uparrow ((A \uparrow A) \uparrow C \uparrow D)$$



6.40: FIG.

b. Réaliser le circuit de la fonction $f1$ en utilisant uniquement des portes NOR

c. أنجز دارة الدالة $f1$ باستعمال بوابات " نفي الفصل " NOR فقط

نطبق مبرهنة ديمورغان

$$f0 = a.\bar{b} + \bar{a}.b + \bar{a}.c.d$$

$$(\overline{\overline{a.\bar{b}}}) + (\overline{\overline{\bar{a}.b}}) + (\overline{\overline{\bar{a}.c.d}})$$

نحتاج إلى تطبيقها مرة أخرى للتخلص من علامة "."

$$= \overline{\overline{(\overline{\overline{a.\bar{b}}}) + (\overline{\overline{\bar{a}.b}}) + (\overline{\overline{\bar{a}.c.d}})}}$$

نستبدل كل نفي للفصل بعلامة ↓

$$= ((A \downarrow A) \downarrow B) \downarrow (A \downarrow (B \downarrow B)) \downarrow (A \downarrow (C \downarrow C) \downarrow (D \downarrow D))$$

$$\downarrow ((A \downarrow A) \downarrow B) \downarrow (A \downarrow (B \downarrow B)) \downarrow (A \downarrow (C \downarrow C) \downarrow (D \downarrow D))$$

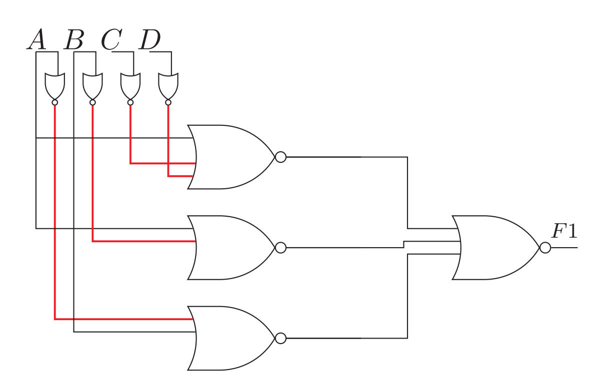


Fig. 6.41:

6.6 Solutions du chapitre 2 حلول تمارين الفصل الثاني

01

Réaliser un multiplexeurs à 4 entrées. اصنع مجمّعا ب4 مداخل.

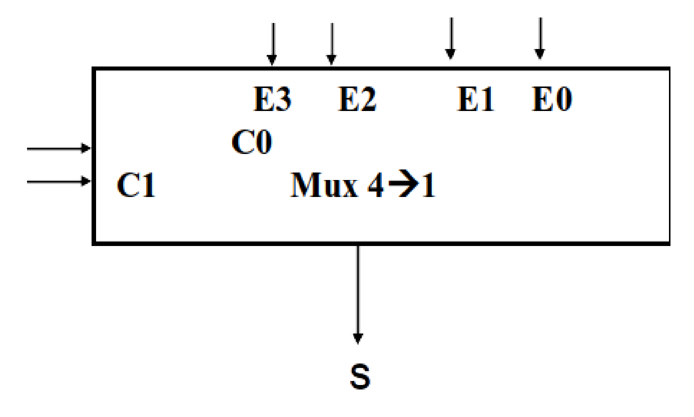


FIG. 6.42: Exercice 1 : Schéma bloc d'un multiplexeur 4 à 1 مخطط مُصمت لمجمّع

Table de vérité جدول الحقيقة مختصر

C1	C0		S
0	0		e0
0	1		e1
1	0		e2
1	1		e3

Table de vérité un peu détaillé جدول مفصل بعض الشيء

c1	c0	e0	e1	e2	e3	S
0	0	0	x	x	x	0
0	0	1	x	x	x	1
0	1	x	0	x	x	0
0	1	x	1	x	x	1
1	0	x	x	0	x	0
1	0	x	x	1	x	1
1	1	x	x	x	0	0
1	1	x	x	x	1	1

L'équation qui donne la sortie en fonction des entrées se déduit directement du tableau puisque la sortie est égale à e0 si $\overline{c1}.\overline{c0}$, à e1 si $\overline{c1}.c0$, à e2 si $c1.\overline{c0}$ et à e3 si $c1.c0$ soit :

عبارة المخرج تستنتج من الجدول مباشرة، فالمخرج يكون مساويا لـ e0 إذا كان $\overline{c1}.\overline{c0}$، ومساويا لـ e1 إذا كان $\overline{c1}.c0$، ول e2 إذا كان $c1.\overline{c0}$

ومساويا لـ e3 إذا كان $c1.c0$. ما يعني أنّ

$$S = e0.\overline{c1}.\overline{c0} + e1.\overline{c1}.c0 + e2.c1.\overline{c0} + e3.c1.c0$$

02

Réaliser le demi-additionneur à l'aide d'un minimum de multiplexeurs à 4 entrées.

اصنع جامعا بسيطا بواسطة أقل عدد من المجمعات ذات 4 مداخل.

لحل هذه المسألة، نستحضر أولا شكل الجامع البسيط وجدول حقيقته، ثم نستذكر شكل المجمع ذي 4 مداخل وجدول حقيقته، ثم نبحث عن التطابق بينهما.

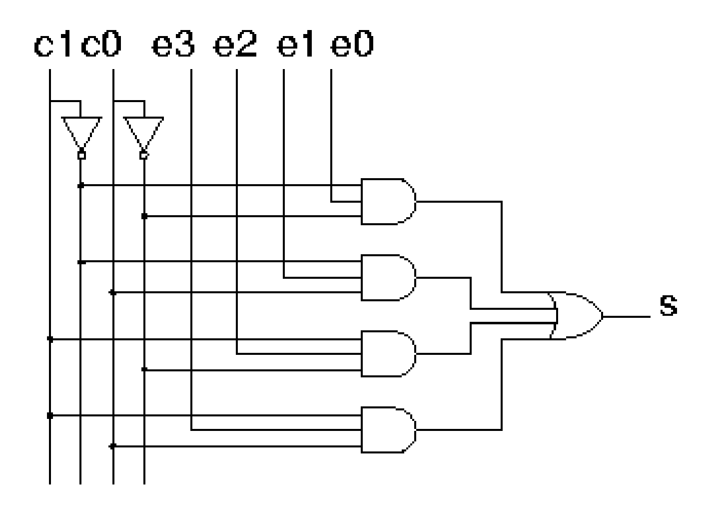


Fig. 6.43: Exercice 1 : Logigramme d'un multiplexeur 4 à 1 مخطط منطقي لمجمّع

,

La table de vérité d'un demi additionneur

A	B	S	R
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Table de vérité d'un multiplexeur 4 à 1 جدول الحقيقة لمجمّع ذي 4 مداخل

C1	C0	S_{mux}
0	0	E_0
0	1	E_1
1	0	E_2
1	1	E_3

نلاحظ أن لدارة المجمع مخرجا واحدا فقط، وأن لدارة الجمع مخرجان، لكنهما يتطابقان في عدد المداخل، لذا نقترح استعمال دارة مجمّع لكل دالة من R و S، إذا فرضنا أنّ $A = C1, B = C0$ ثم ثبتنا قيم المتغيرات e3 e2, e1, e0, حسب الدالة،

Table de vérité de correspondance جدول الحقيقة المطابق

A=C1	B=C0	S_{add}	R_{add}	S_{mux}	R_{mux}
0	0	0	0	$E_0 = 0$	$E_0 = 0$
0	1	1	0	$E_1 = 1$	$E_1 = 0$
1	0	1	0	$E_2 = 1$	$E_2 = 0$
1	1	0	1	$E_3 = 0$	$E_3 = 1$

03

Réaliser l'additionneur complet à l'aide d'un minimum de multiplexeurs à 8 entrées.

اصنع جامعا كاملا بواسطة أقل عدد من المجمعات ذات 8 مداخل

لحل هذه المسألة، نستحضر أولا شكل الجامع الكامل وجدول حقيقته، ثم نستذكر شكل المجمّع ذي 8 مداخل وجدول حقيقته، ثم نبحث عن التطابق بينهما.

Table de vérité d'un additionneur complet جدول الحقيقة لجامع كامل

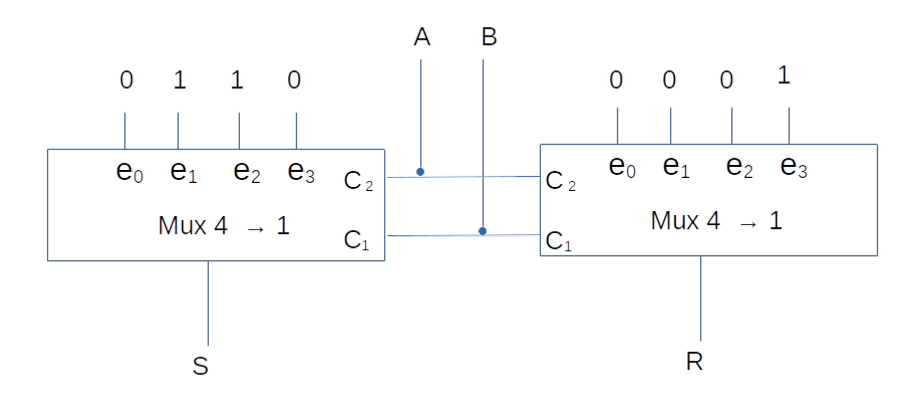


Fig. 6.44: Exercice 2 : Réalisation d'un demi-additionneur à l'aide d'un minimum de multiplexeurs à 4 entrées مخطط جامع بسيط بواسطة مجمعات ذات 4 مداخل

A_i	B_i	R_{i-1}	S_i	R_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Table de vérité d'un multiplexeur 8 à 1 جدول الحقيقة لمجمّع ذي 8 مداخل

C_2	C_1	C_0	S_{mux}
0	0	0	E0
0	0	1	E1
0	1	0	E2
0	1	1	E3
1	0	0	E4
1	0	1	E5
1	1	0	E6
1	1	1	E7

نلاحظ أن لدارة المجمع مخرجا واحدا فقط، وأن لدارة الجمع مخرجان، لكنهما يتطابقان في عدد المداخل، لذا نقترح استعمال دارة مجمّع لكل دالة من R و S، إذا فرضنا أنّ $A_i = C_2, B_i = C_1, R_{i-1} = C_0$ ثم نثبّت قيم المتغيرات e4,e5,e6,e7 e3, e2, e1, e0, حسب الدالة،

Table de vérité de correspondance جدول الحقيقة المطابق

$A_i = C_2$	$B_i = C_1$	$R_{i-1} = C_0$	S_i	R_i	S_{mux}	R_{mux}
0	0	0	0	0	E0=0	E0=0
0	0	1	1	0	E1=1	E1=0
0	1	0	1	0	E2=1	E2=0
0	1	1	0	1	E3=0	E3=1
1	0	0	1	0	E4=1	E4=0
1	0	1	0	1	E5=0	E5=1
1	1	0	0	1	E6=0	E6=1
1	1	1	1	1	E6=1	E7=1

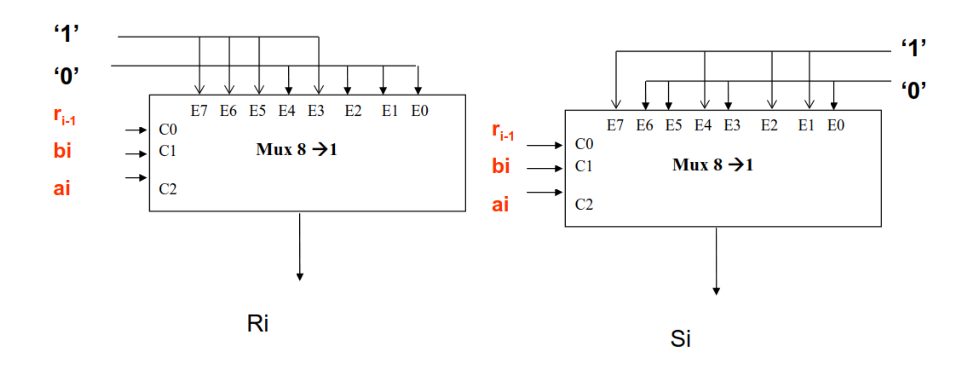


FIG. 6.45: Exercice 3 : Réalisation d'un additionneur complet à l'aide d'un minimum de multiplexeurs à 8 entrées صنع جامع كامل بواسطة أقل عدد من المجمعات ذات 8 مداخل

04

Réalisation d'un additionneur complet avec des décodeurs binaire 3=>8 avec un minimum de portes logiques.

اصنع جامعا كاملا بواسطة أقل عدد من مفككات الترميز ذات 3 مداخل و 8 مخارج وأقل ما يمكن من البوابات المنطقية,

.

Table de vérité

A_i	B_i	R_{i-1}	S_i	R_i	S_i	R_i	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7
0	0	0	0	0			1	0	0	0	0	0	0	0
0	0	1	1	0	S_1		0	1	0	0	0	0	0	0
0	1	0	1	0	S_2		0	0	1	0	0	0	0	0
0	1	1	0	1		S_3	0	0	0	1	0	0	0	0
1	0	0	1	0	S_4		0	0	0	0	1	0	0	0
1	0	1	0	1		S_5	0	0	0	0	0	1	0	0
1	1	0	0	1		S_6	0	0	0	0	0	0	1	0
1	1	1	1	1	S_7	S_7	0	0	0	0	0	0	0	1

نلاحظ أن دالة المجموع تساوي : $S_i = S_1 + S_2 + S_4 + S_7$

وأنّ دالة الاحتفاظ تساوي $R_i = S_3 + S_5 + S_6 + S_7$

On constate que la Somme $S_i = S_1 + S_2 + S_4 + S_7$

La retenue $R_i = S_3 + S_5 + S_6 + S_7$

05

Soit une information binaire sur 4 bits ($i_3i_2i_1i_0$).

Donner le circuit qui permet de compter le nombre de 1 dans l'information en entrée en utilisant uniquement des additionneurs complets sur 1 bit ?

Exemple : Si on a en entrée l'information ($i_3i_2i_1i_0$) =(0110) alors en sortie on obtient la valeur 2 en binaire (010) puisque il existe 2 bits qui sont à 1 dans l'information en entrée .

لدينا معلومة ثنائية على 4 بتات ($i_3i_2i_1i_0$) ، أعط الدارة التي تعدّ الواحدات في المعلومة المُدخلة، باستعمال دارات الجمع الكاملة ذات 1 بت فقط .

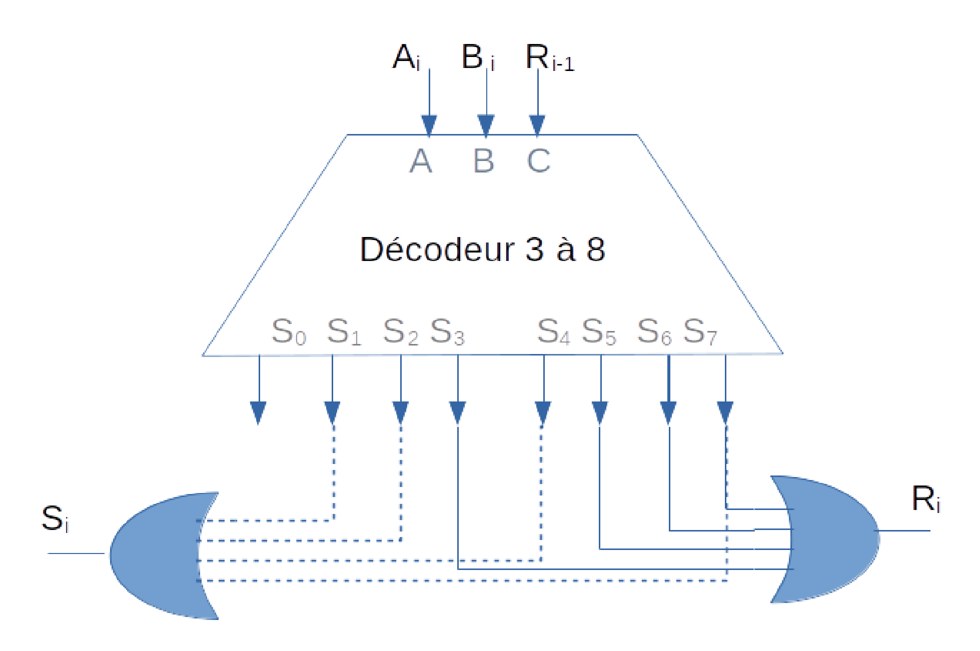


FIG. 6.46: Exercice 4 : Réalisation d'un additionneur complet à l'aide d'un décodeur 3 à 8 صنع جامع كامل بمفكك الترميز 3 نحو 8 ,

مثال : إذا كانت المعلومة المُدخلة ($i_3 i_2 i_1 i_0$) = (10110) ، فنحصل في المخرج على العدد 2 بالثنائي 010 لأن لدينا بتين يساويان الواحد .

لحساب عدد البتات التي تساوي الواحد، يمكننا جمعها، وبما أن لدينا دارة تجمع ثلاثة بتات، يمكن تجميعها، كالآتي

- جمع ثلاث بتات على حدى
- جمع النتيجة مع البت الباقي عموديا

$$\begin{array}{rr} & I_3 \\ + & I_2 \\ + & I_1 \\ \hline & R_0S_0 \end{array} \quad \Rightarrow \quad \begin{array}{rr} + & R_0S_0 \\ & 0\ \ I_0 \\ \hline & R_2S_2\,S_1 \end{array}$$

FIG. 6.47: Exercice 5 : Explication d'un compteur de bits à 1 à à l'aide des additionneurs completsشرح طريق الحساب

06

Effectuer à l'aide d'un minimum d'additionneurs de 2 nombres de 4 bits et d'un minimum de portes logiques, la multiplication de deux nombres positifs de 4 bits.

باستعمال أقل عدد من دارات الجمع لعددين (كل عدد ذو 4 بتات)، وأقل عدد من البوابات المنطقية، أنجز دارة لضرب عددين موجبين، من 4 بتات لكل منهما

نفترض أن العدد الأول هو $(abcd)_2$ والعدد الثاني هو $(efgh)_2$ نجري العملية، كي نفهم كيف يمكننا استخدام دارة الجمع ذات 4 بتات,

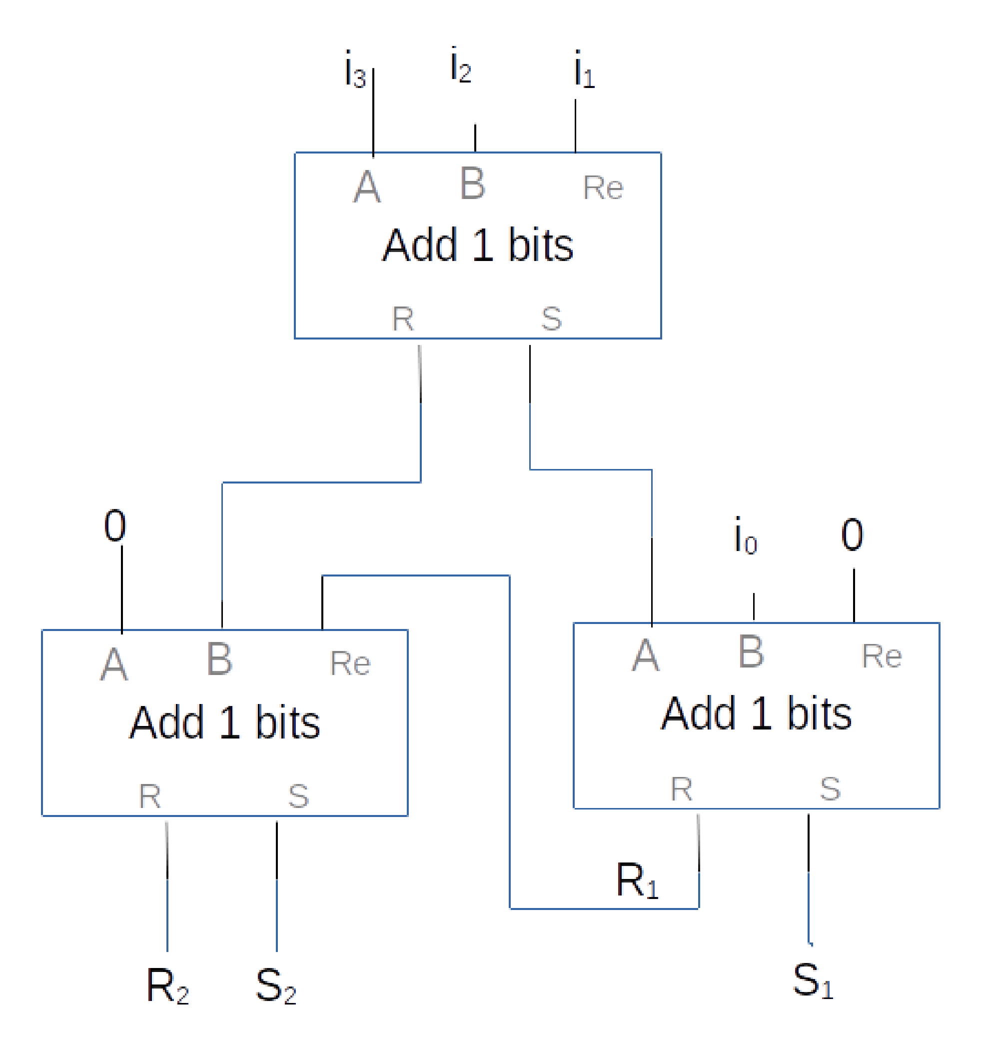
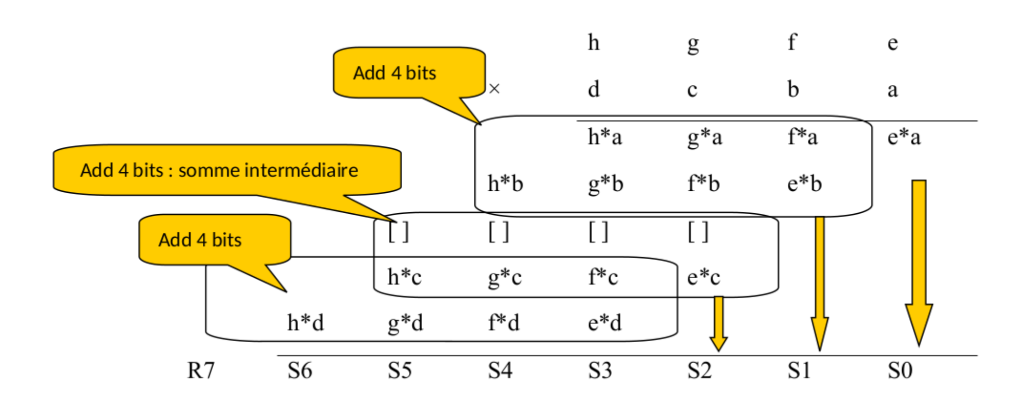


FIG. 6.48: Exercice 5 : Réalisation d'un compteur de bits à 1 à à l'aide des additionneurs complets
إنجاز دارة عدد الواحدات بواسطة دارات الجمع



07

Le code ROT5 permet de faire la rotation d'un nombre binaire en ajoutant 5 en binaire, sans retenue. $ROT5(0000) = 0101$ $ROT(1111) = 0100$

a. Réaliser le circuit de conversion de binaire au ROT5.

b. Proposer un schéma de ROT5 en utilisant un encodeur de 16 à 4 et un décodeur de 4 à 16.

الترميز ROT5 يدوّر الرقم بإضافة 5 دون احتفاظ، $ROT5(0000) = 0101$ ، و $ROT(1111) = 0100$

أنشئ دارة الترميز ROT5. ثم اقترح تصميما للدارة بواسطة مرمّز 16 إلى 4 و مفكك من 4 إلى 16.

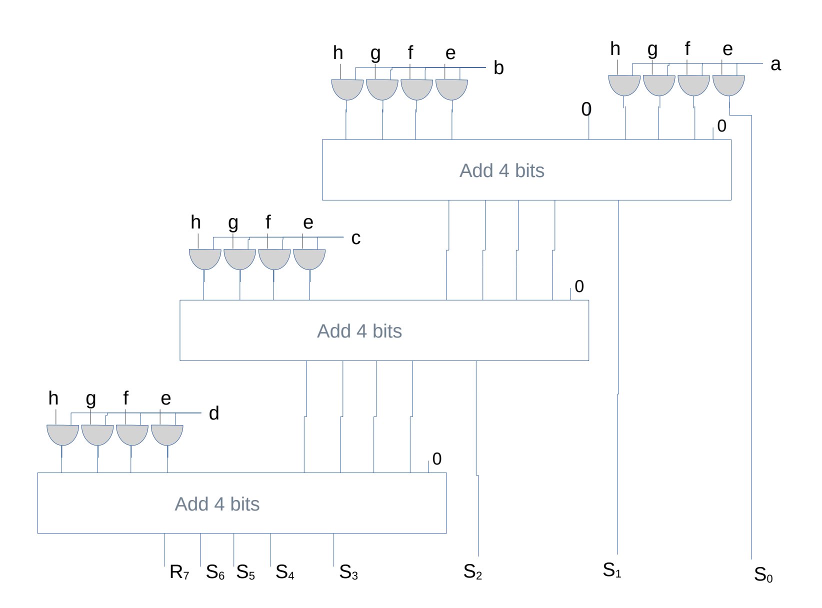


FIG. 6.49: Exercice 6 : Réalisation d'un multiplicateur de 4 bits تصميم دارة ضرب 4 بتات

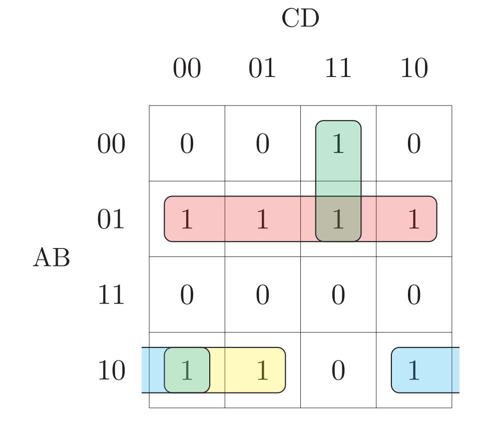
a. Réaliser le circuit de conversion de binaire au ROT5.

i. Table de vérité جدول الحقيقة

N°	A	B	C	D	F3	F2	F1	F0
0	0	0	0	0	0	1	0	1
1	0	0	0	1	0	1	1	0
2	0	0	1	0	0	1	1	1
3	0	0	1	1	1	0	0	0
4	0	1	0	0	1	0	0	1
5	0	1	0	1	1	0	1	0
6	0	1	1	0	1	0	1	1
7	0	1	1	1	1	1	0	0
8	1	0	0	0	1	1	0	1
9	1	0	0	1	1	1	1	0
10	1	0	1	0	1	1	1	1
11	1	0	1	1	0	0	0	0
12	1	1	0	0	0	0	0	1
13	1	1	0	1	0	0	1	0
14	1	1	1	0	0	0	1	1
15	1	1	1	1	0	1	0	0

ii. Tableaux de Karnough مخطط كارنوف

- La fonction F3 الدالة



AB \ CD	00	01	11	10
00	0	0	1	0
01	1	1	1	1
11	0	0	0	0
10	1	1	0	1

La forme simplifiée الشكل المبسط
$F3 = \bar{a}.b + \bar{a}.c.d + a.\bar{b}.\bar{c} + a.\bar{b}.\bar{d}$

- La fonction F1 الدالة

AB \ CD	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	0	1	0	1
10	0	1	0	1

La forme simplifiée الشكل المبسط
$F1 = c.\bar{d} + \bar{c}.d$

- La fonction F2 الدالة

AB \ CD	00	01	11	10
00	1	1	0	1
01	0	0	1	0
11	0	0	1	0
10	1	1	0	1

La forme simplifiée الشكل المبسط
$F2 = b.c.d + \bar{b}.\bar{c} + \bar{b}.\bar{d}$

La fonction F0 الدالة

AB \ CD	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1

La forme simplifiée الشكل المبسط
$F0 = \bar{d}$

iii. Logigrammes المخططات المنطقية

b. Proposer un schéma de ROT5 en utilisant un encodeur de 16 à 4 et un décodeur de 4 à 16.

نلاحظ أنّ العدد 0 يعطي 5، يعني إذا ربطنا أدخلنا العدد (0000) نحصل على العدد (0101)،

المفكك يعطي من العدد 0، يشغل المخرج S0، ونحن نريد أن نحصل على 5 أي إذا شغلنا المدخل رقم 5 في المرمّز، فإنه يعطينا العدد 5 عند المخرج.

أي يمكننا ربط مخرج المفكك رقم 0 بمدخل المرمّز رقم 5، وهكذا نجعل الدارة تزيد 5 في كل مرة.

نعمل نفس الشيء بالنسبة للعدد 1، نربط مخرج المفكك رقم 1 بمدخل المرمّز رقم 6، فنحصل على العدد 6.

وهكذا دواليك للأعداد الأخرى.

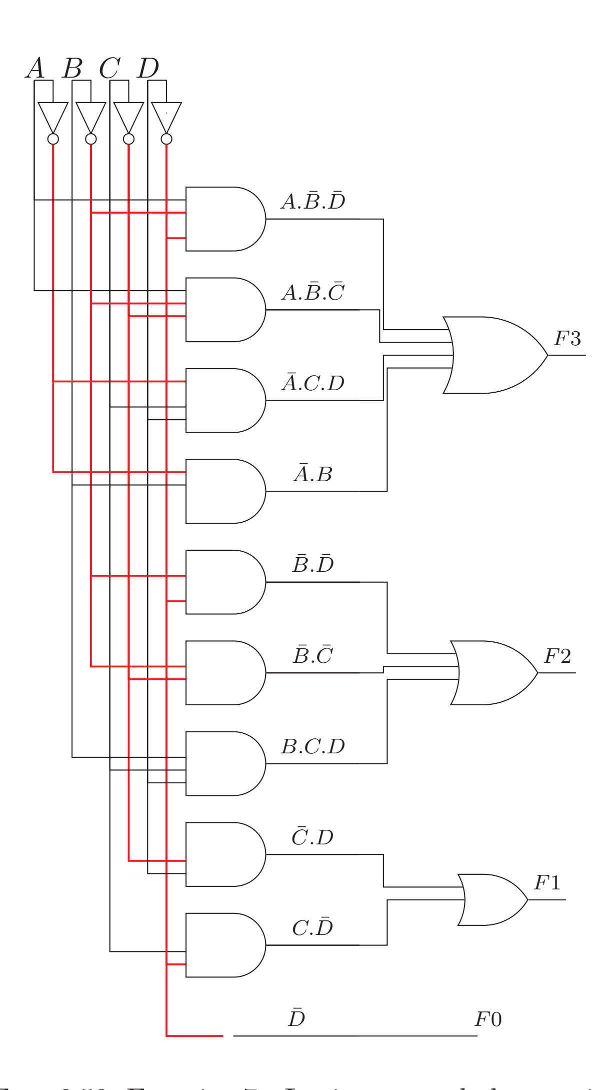


FIG. 6.50: Exercice 7 : Logigramme de la rotation

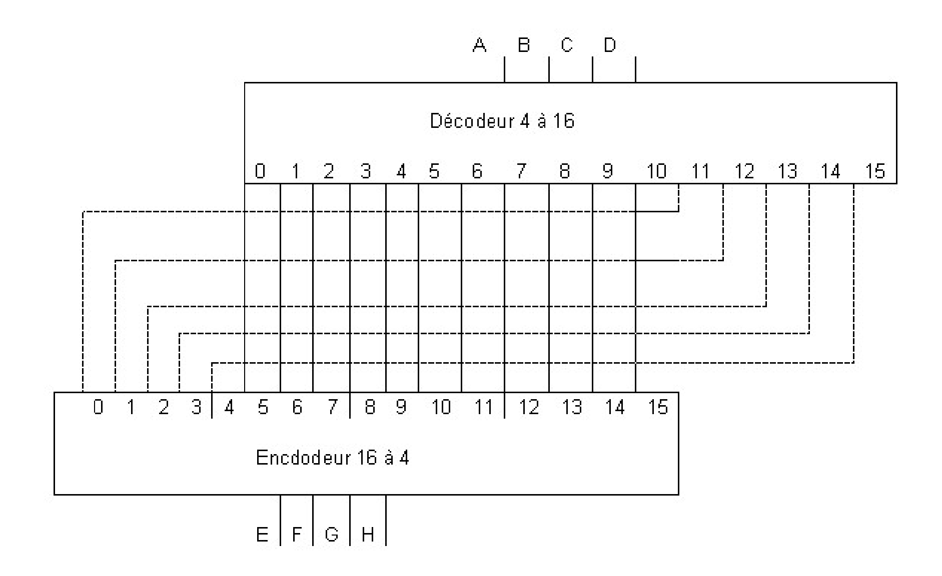


FIG. 6.51: Exercice 7 : Réalisation d'un circuit de rotation à l'aide d'un décodeur et un encodeur إنجاز دارة الدوران بواسطة مفكك ومرمّز

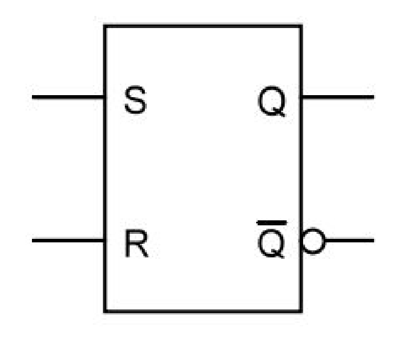


Fig. 6.52:

6.7 Solutions du chapitre 3 حلول تمارين الفصل الثالث

01 Réaliser une bascule RS en utilisant les portes NAND uniquement.

صمم قلابا RS بواسطة بوابات NAND فقط

Table de vérité réduite جدول الحقيقة المختصر

R	S	Q_t	$\overline{Q_t}$	
0	0	Q_{t-1}	$\overline{Q_{t-1}}$	Etat mémoire ذاكرة
0	1	1	0	Remise à 1 توحيد
1	0	0	1	Remise à 0 تصفير
1	1	X	X	interdit ممنوع

Table de vérité جدول الحقيقة

R	S	Q_{t-1}	Q_t	$\overline{Q_t}$	
0	0	0	0	1	Etat mémoire ذاكرة
0	0	1	1	0	Etat mémoire ذاكرة
0	1	0	1	0	Remise à 1 توحيد
0	1	1	1	0	Remise à 1 توحيد
1	0	0	0	1	Remise à 0 تصفير
1	0	1	0	1	Remise à 0 تصفير
1	1	0	X	X	interdit ممنوع
1	1	1	X	X	interdit ممنوع

R \ SQ	00	01	11	10
0	0	1	1	1
1	0	0	X	X

Les équations des sorties : معادلة المخارج

- $Q_t = S + \overline{R}.Q$
- $\overline{Q}_t = R + \overline{S}.Q$

Exprimer les sorties uniquement avec NAND : التعبير عن المخارج بواسطة نفي الوصل Les équations des sorties :

- $Q_t = S + \overline{R}.Q = \overline{\overline{S + \overline{R}.Q}}$
  $= \overline{\overline{S}.\overline{\overline{R}.Q}}$
  $= \overline{S} \uparrow (\overline{R} \uparrow Q)$
  $= (S \uparrow S) \uparrow ((R \uparrow R) \uparrow Q)$
- $\overline{Q}_t = R + \overline{S}.Q$
  $= \overline{\overline{R + \overline{S}.Q}}$
  $= \overline{\overline{R}.\overline{\overline{S}.Q}}$
  $= \overline{R} \uparrow (\overline{S} \uparrow Q) = (R \uparrow R) \uparrow ((S \uparrow S) \uparrow Q)$

Le schéma logique : المخطط المنطقي

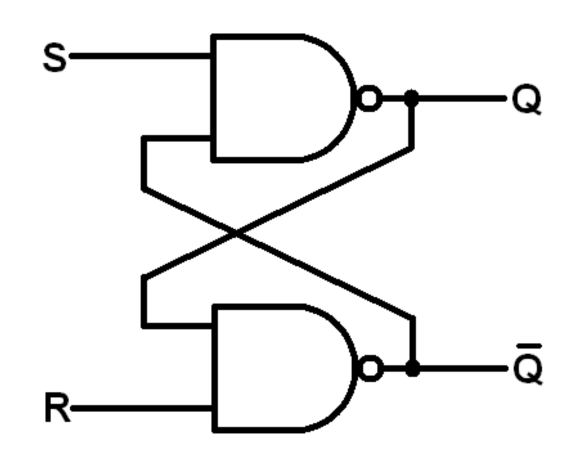


Fig. 6.53: Logigramme de la bascule RS en utilisant des NAND uniquement مخطط منطقي لقلاب RS بواسطة نفي الوصل فقط

Compléter le chronogramme selon les cas suivants أكمل المخطط الزمني حسب الحالات الآتية

سنحاول تقسيم العملية إلى ثلاث مخططات منفصلة : الأول بلا تزامن، الثاني تزامن على الجبهة الصاعدة، والثالث على الجبهة النازلة.

a. RS est asynchrone (fig. 6.54 الشكل) القلاب غير متزامن
b. RS est synchronisée sur le front montant (fig. 6.55 الشكل) القلاب متزامن عند الجبهة الصاعدة
c. RS est synchronisée sur le front descendant (fig. 6.56 الشكل) القلاب متزامن عند الجبهة النازلة

Finalement on peut avoir le chronogramme de tous les cas (fig. 6.57).
في النهاية يمكن تجميع كل الحالات في مخطط زمني واحد (الشكل 6،57).

02 Soit le montage ci-dessous إليك التركيب الآتي

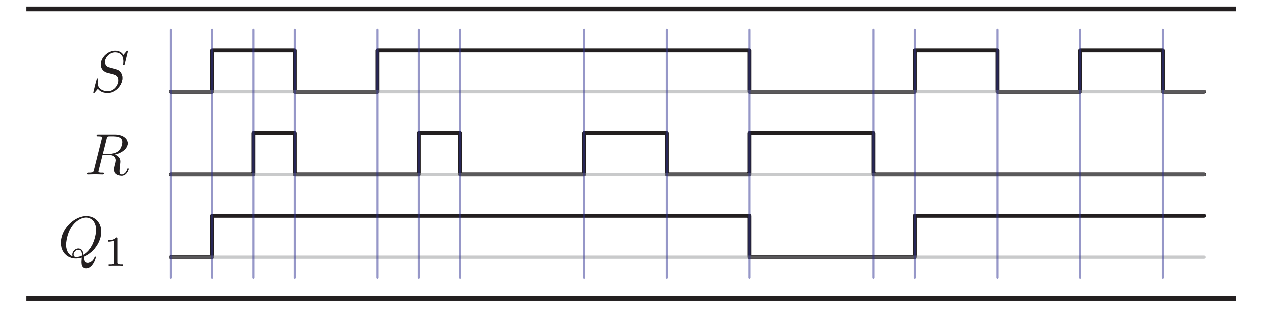


Fig. 6.54: Chronogramme en cas Asynchrone de l'exercice 1 المخطط الزمني للقلاب RS غير المتزامن

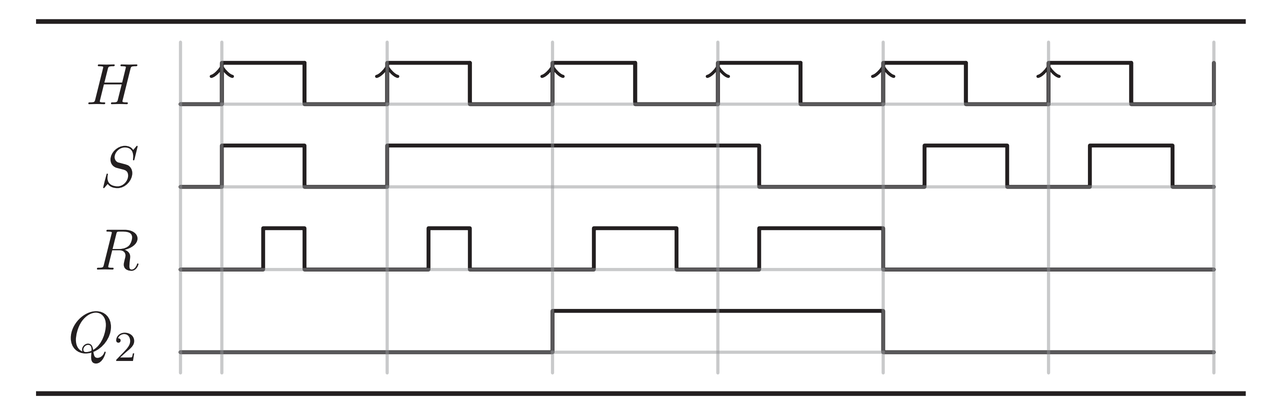


Fig. 6.55: Chronogramme en cas Synchrone sur le Front montant de l'exercice 1 RSH المخطط الزمني للقلاب RSH المتزامن حسب الجبهة الصاعدة

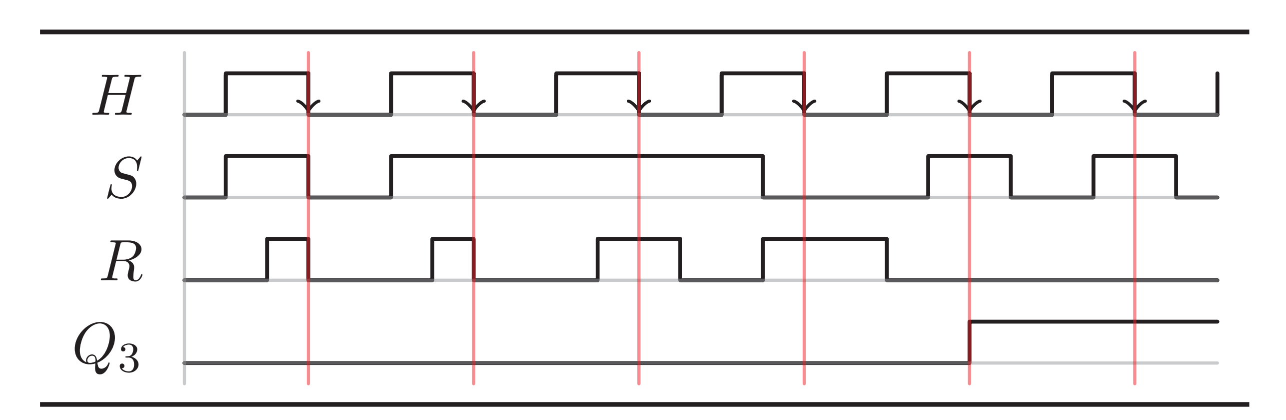


Fig. 6.56: Chronogramme en cas Synchrone sur le Front descendant de l'exercice 1 المخطط الزمني للقلاب RSH المتزامن حسب الجبهة النازلة

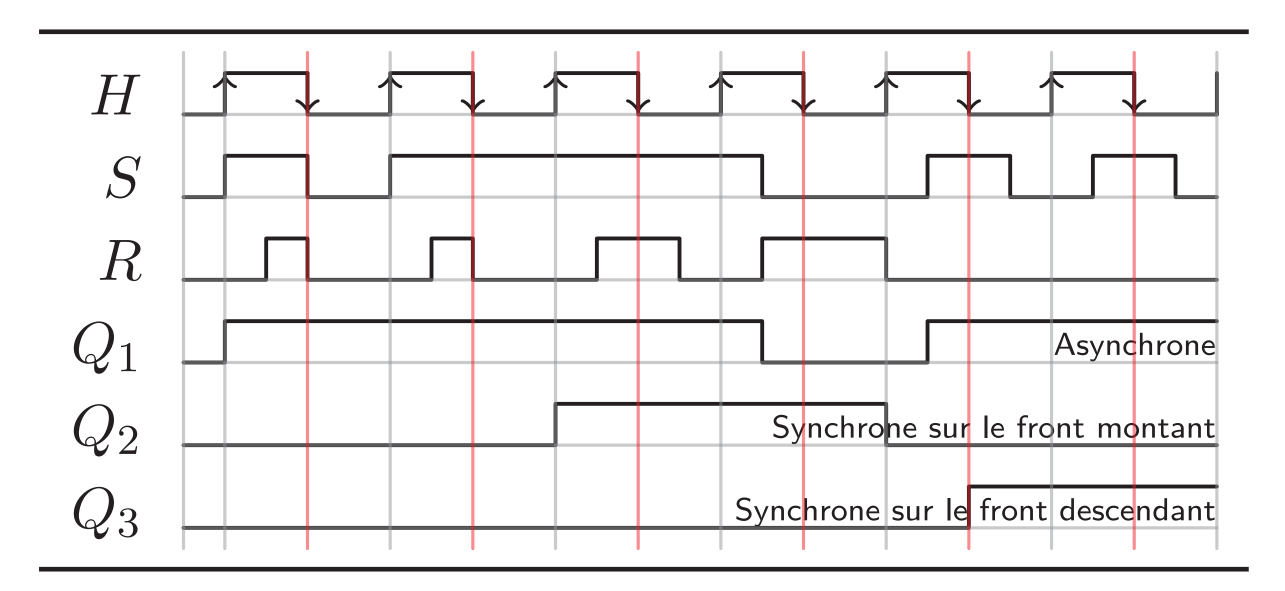


Fig. 6.57: Chronogramme globale de l'exercice 1 المخطط الزمني للقلاب RS الإجمالي للتمرين

a. Donnez sa table de vérité — أعط جدول الحقيقة

On a — لدينا

- $Q = \overline{A"."C}$
- $C = \overline{B"."Q}$

i. $(A = 0, B = 0) :\Rightarrow Q = \overline{0.C} = \overline{0} = 1$
Q est indépendante de B, — نلاحظ أن Q مستقلة عن B

ii. $(A = 0, B = 1) :\Rightarrow Q = \overline{0.C} = \overline{0} = 1$

iii. $A = 1, B = 0 : \Rightarrow Q = \overline{1.C} = \overline{C}$
$C = \overline{B.Q} = \overline{0.Q} = 1$
$\Rightarrow Q = \overline{C} = \overline{1} = 0$

iv. $A = 1, B = 1 : Q = \overline{1."C} = \overline{C}$
$C = \overline{B.Q} = \overline{1.Q} = \overline{Q}$
$\Rightarrow Q = \overline{\overline{Q}} = Q$

A	B	Q^+
0	0	1
0	1	1
1	0	0
1	1	Q

b. Quel circuit logique reconnaissez-vous ? — تعرّف على الدارة

On reconnaît la table de vérité d'une bascule RS avec :

نلاحظ أن جدول الحقيقة يشبه القلاب RS باعتبار :

$A = \overline{S}$ et $B = \overline{R}$.

c. Remplissez le chronogramme suivant — أكمل المخطط الزمني

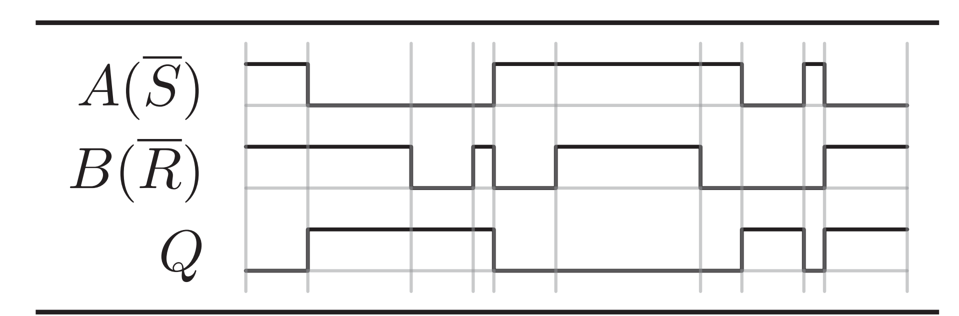
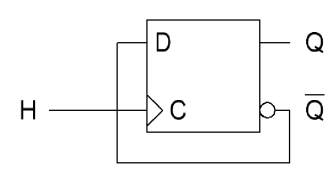


FIG. 6.58: Chronogramme de l'exercice 2 المخطط الزمني للتمرين



03 Soit le montage ci-dessous : — إليك التركيب الآتي

1. Remplissez le chronogramme suivant — أكمل المخطط الزمني

Rappelons la table de vérité de la bascule D. — نذكّر بجدول الحقيقة للقلاب د.

A	B	Q^+
0	0	1
0	1	1
1	0	0
1	1	Q

On a en entrée $D = \overline{Q}$.

لدينا في المدخل $D = \overline{Q}$.

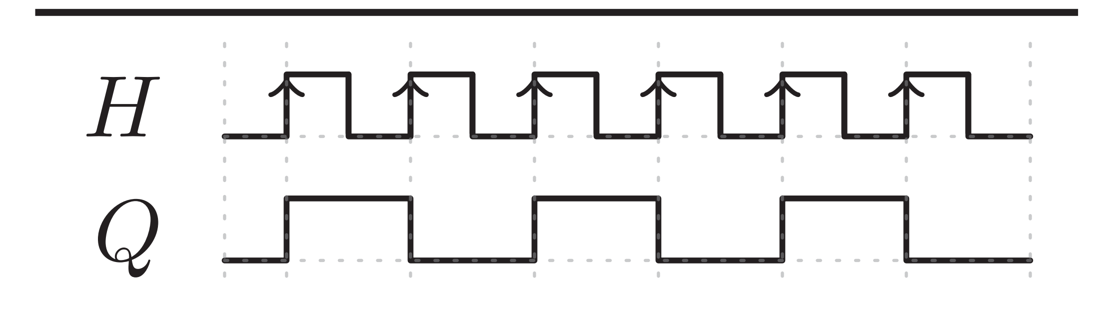


Fig. 6.59: Chronogramme de l'exercice 3 مخطط زمني للتمرين

On constate que la sortie Q fait un basculement chaque cycle d'horloge.

نلاحظ أنّ المخرج Q ينعكس في كل نبضة ساعة.

04 Remplissez le chronogramme en fonction du montage suivant :

أكمل المخطط الزمني

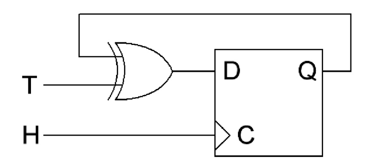


Fig. 6.60: Montage de l'exercice 4 تركيب التمرين

On constate que l'équation de D est $D = T \oplus Q$.

نلاحظ أنّ معادلة D : $D = T \oplus Q$

Rappelons la table de vérité de la bascule D.

نذكر بجدول الحقيقة للقلاب د.

h	D	Q_t
0	X	Q_{t-1}
↑	0	0
↑	1	1

Rappelons aussi la table de vérité de l'XOR

نذكر بجدول الحقيقة لعملية الوصل الإقصائي ⊕.

Q	T	$D = T \oplus Q$
0	0	0
0	1	1
1	0	1
1	1	0

05 Soit les deux bascules JK ci-dessous

إليك القلابين ج.ك الآتيين :

1. Rappelez la table de vérité d'une bascule JK synchronisée sur front montant. Remplissez le chronogramme suivant

ذكِّر بجدول الحقيقة لقلاب ج.ك متزامن على الجبهة الصاعدة ثم أكمل المخطط الزمني

Sur le font montant (fig. 6.64)

تزامن حسب الجبهة الصاعدة الشكل 6.64

sur le front descendant (fig. 6.65)

تزامن حسب الجبهة الصاعدة الشكل 6.65

Globale (fig. 6.66)

المخطط الإجمالي الشكل 6.66

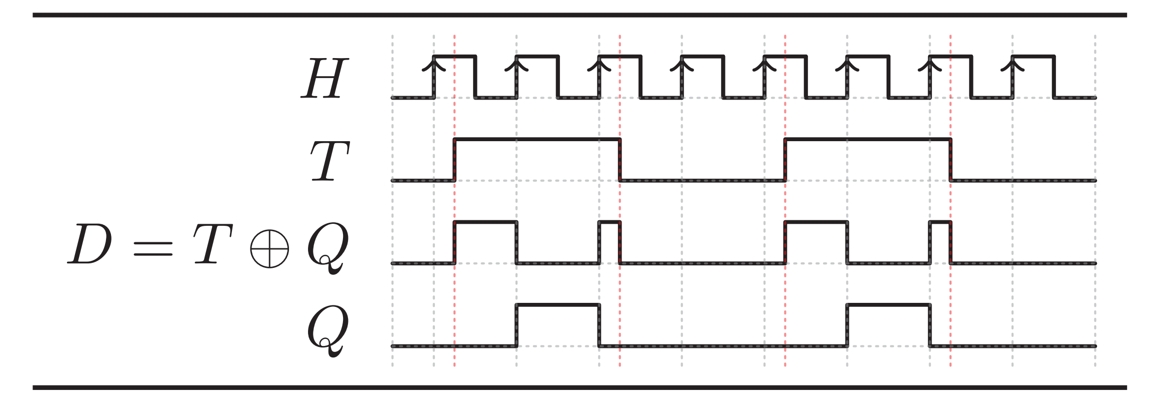


FIG. 6.61: Chronogramme de l'exercice 4 المخطط الزمني للتمرين

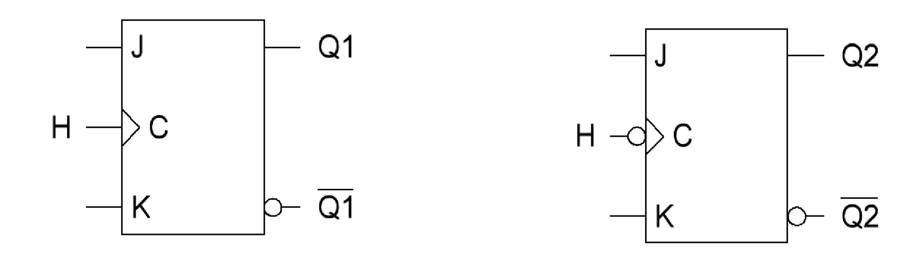


FIG. 6.62: Monatage de l'exercice 5 تركيب التمرين

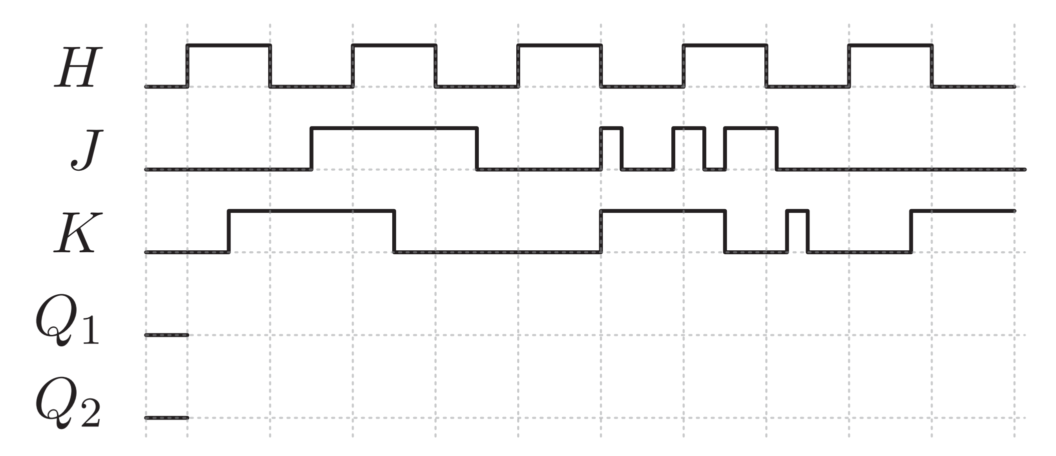


FIG. 6.63: Chronogramme de l'exercice 5 مخطط زمني للتمرين

06 Reprendre le schéma de l'exercice 3,

Donnez un montage équivalent à l'aide d'une bascule JK.

أعط تركيبا مكافئا بواسطة قلاب ج.ك لمخطط التمرين 3.

h	J	K	Q_t
0	X	X	Q_{t-1}
↑	0	0	Q_{t-1}
↑	0	1	0
↑	1	0	1
↑	1	1	$\overline{Q_{t-1}}$

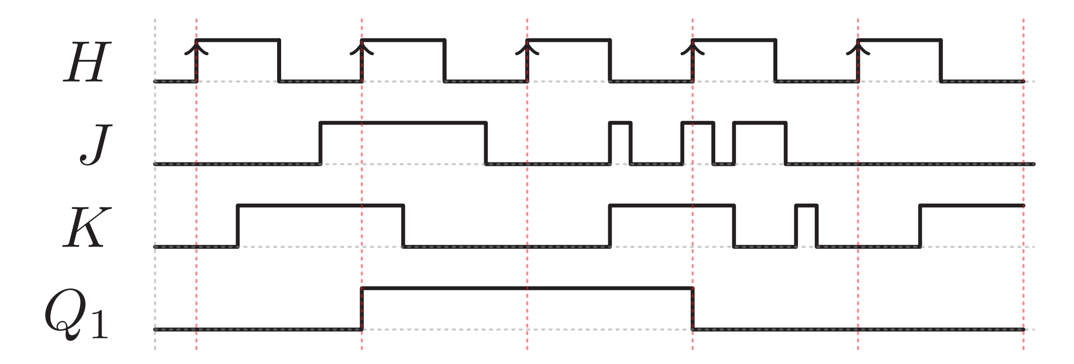


Fig. 6.64: Chronogramme synchronisé sur le front montant de l'exercice 5 مخطط زمني متزامن حسب الجبهة الصاعدة للتمرين

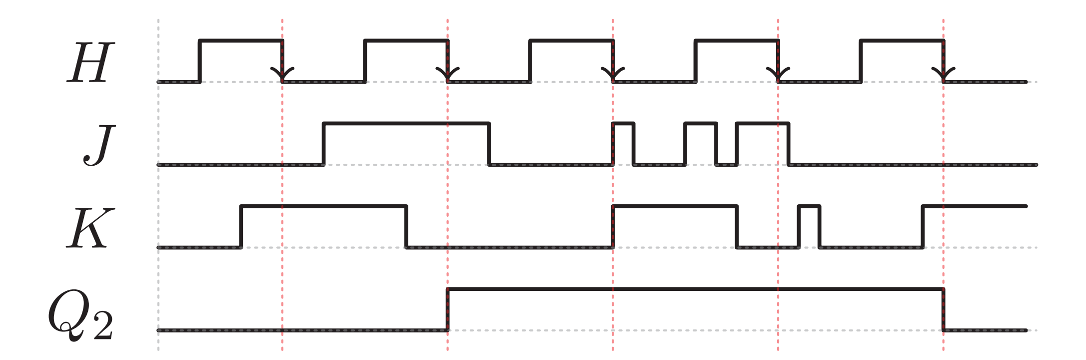


Fig. 6.65: Chronogramme synchronisé sur le front descendant de l'exercice 5 مخطط زمني متزامن حسب الجبهة النازلة للتمرين

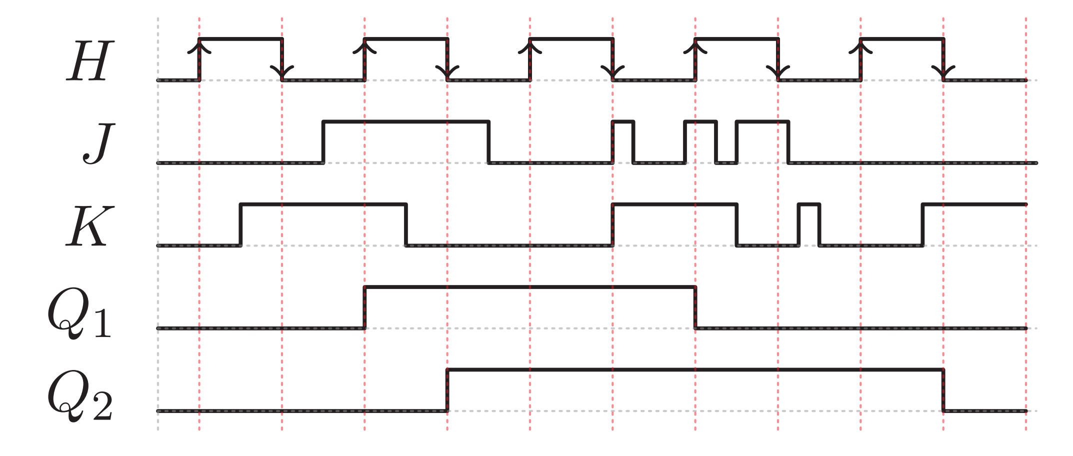


Fig. 6.66: Chronogramme globale de l'exercice 5 مخطط زمني متزامن إجمالي للتمرين

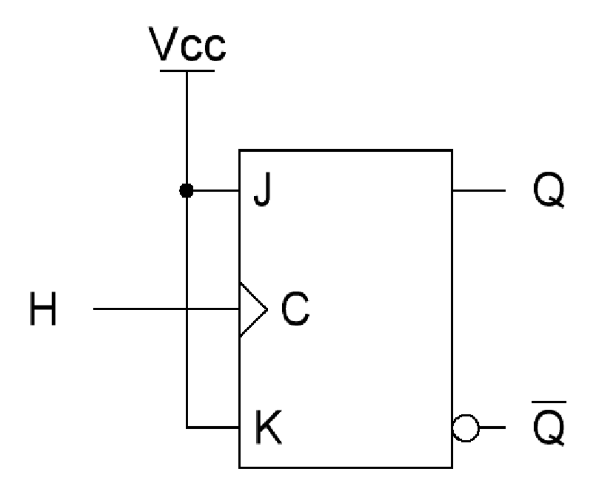


FIG. 6.67: Réalisation de l'exercice 6 دارة التمرين

Si on veut que la bascule JK bascule à chaque cycle d'horloge, on met j=1 et k=1 (cf. fig. 6.67)

إذا أردنا أن يقلب القلاب ج.ك في كل مرة، نضع ج=1 و ك=1 (الشكل 6.67).

07

1. A partir du montage de la figure 6.68, remplissez le chronogramme ci-dessous :

من الشكل 6.68، أكمل المخطط الزمني

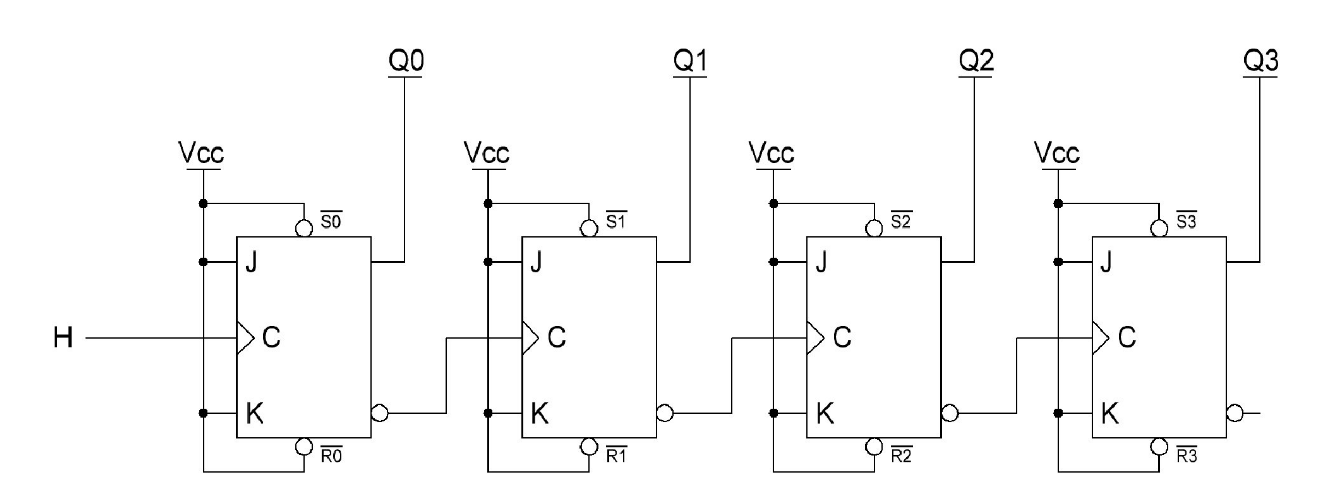


FIG. 6.68: Montage n°1 de l'exercice 7 التركيب الأول للتمرين

2. Que réalise le montage de la figure 6.68 ? ماذا يعمل هذا التركيب

Selon le chronogramme de la figure 6.69, ce montage est un compteur modulo 16. Il compte de 0 à 15.

حسب المخطط الزمني في الشكل 6.69 التركيب هو عدّاد بترديد 16، يعُدّ من 0 إلى 15.

3. On modifie légèrement le montage de la figure 6.68 afin d'obtenir le montage de la figure 6.70. En expliquant votre raisonnement, que réalise le montage de la figure 6.70 ?

بتعديل طفيف للتركيب في الشكل 6.68، نحصل على الشكل 6.70، اشرح ماذا يعمل هذا التركيب الجديد.

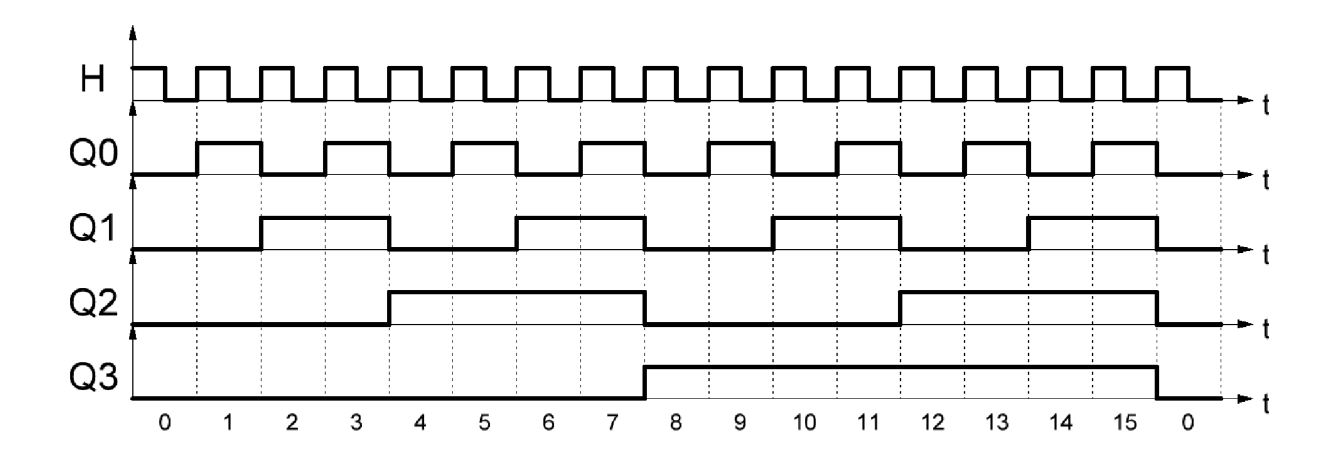


Fig. 6.69: Chronogramme n°1 de l'exercice 7 المخطط الزمني الأول للتمرين

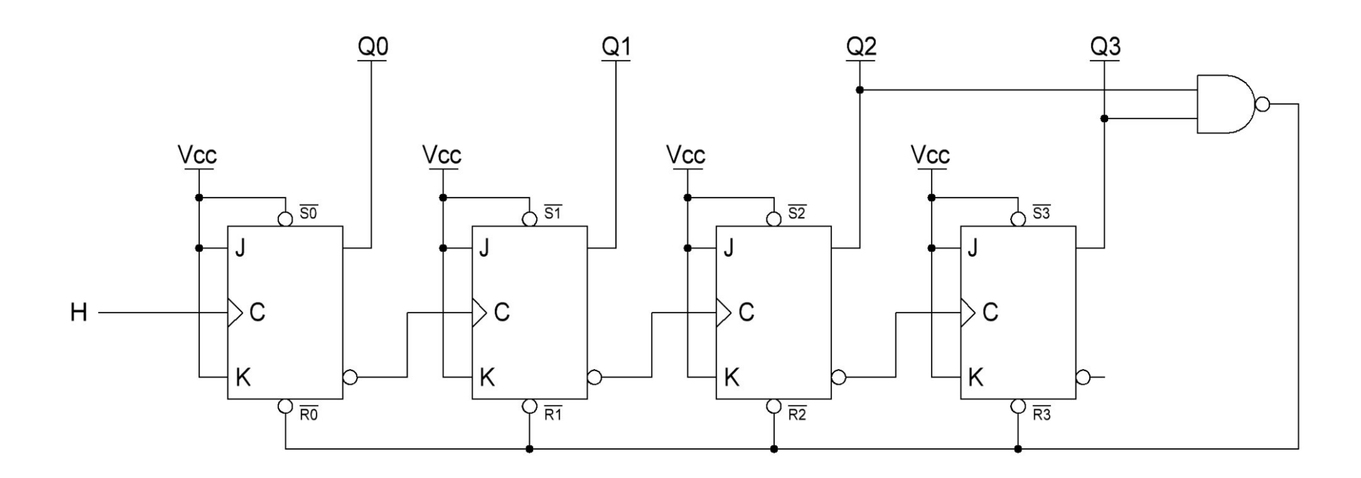


Fig. 6.70: Montage n°2 de l'exercice 7 التركيب الثاني للتمرين

La porte NON-ET sert à détecter la valeur 12 et à la remplacer par la valeur 0.

Soit M, la sortie de la porte NON-ET. Pour rappel, la sortie d'une porte NON-ET est à 0 uniquement lorsque ses deux entrées sont à 1. M passera donc à 0 lorsque Q2 et Q3 seront à 1 en même temps.

Le passage de M à 0 aura pour effet de provoquer un reset sur le compteur et donc de le faire repartir à 0.

Les sorties Q2 et Q3 passent à 1 pour la première fois sur la valeur 12. Le reset s'effectue donc au moment où le compteur atteint la valeur 12. Cette valeur ne reste pas et est immédiatement remplacée par la valeur 0. M repasse alors à 1 et le compteur se remet à compter.

Ce montage est un compteur modulo 12. Il compte de 0 à 11.

تهدف البوابة المنطقية NAND في الوصل إلى كشف القيمة 12، واستبدالها بالصفر، نسمي M ناتج بوابة NAND، للتذكير، ينعدم مخرج بوابة NAND فقط عندما يكون مدخلاها عند 1، أي تنعدم M حين تكون Q2 و Q3 عند 1 في نفس الوقت.

انعدام M يسبّب إعادة تشغيل للعداد وبالتالي يرجع إلى 0.

تنتقل مخرجات Q2 و Q3 إلى 1 لأول مرة على القيمة 12.

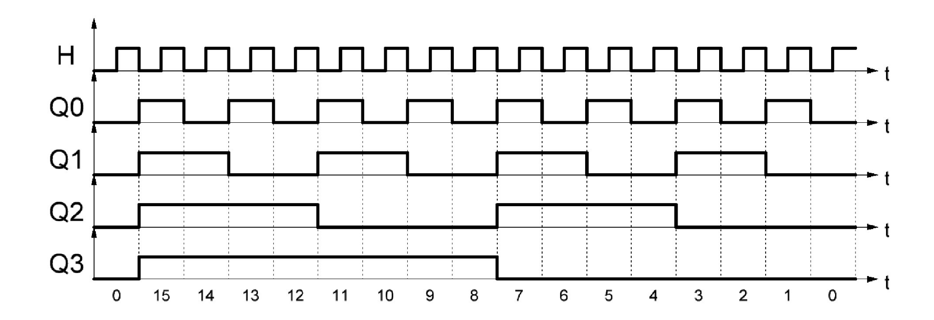


Fig. 6.71: Chronogramme n°1 de l'exercice 8. المخطط الزمني الأول للتمرين

يحدث إعادة تشغيل حين يصل العداد إلى القيمة 12. هذه القيمة لا تبقى وتُستبدل على الفور بالقيمة 0. ثم يعود M إلى 1 ويبدأ العداد في العد مرة أخرى.

إذن التركيب هو عداد بترديد 12 يعدّ من 0 إلى 11.

N°	Q3	Q2	Q1	Q0	M	
0	0	0	0	0	1	
1	0	0	0	1	1	
2	0	0	1	0	1	
3	0	0	1	1	1	
4	0	1	0	0	1	
5	0	1	0	1	1	
6	0	1	1	0	1	
7	0	1	1	1	1	
8	1	0	0	0	1	
9	1	0	0	1	1	
10	1	0	1	0	1	
11	1	0	1	1	1	
12	1	1	0	0	0	Forcer la valeur à 0 فرض القيمة إلى صفر
0	0	0	0	0	1	
1	0	0	0	1	1	

08 A partir du montage de la figure 6.72, Tracer le chronogramme pour les variables Q0, Q1, Q2, Q3 sur 17 cycles d'horloge, sachant que Q0, Q1, Q2, Q3 commencent de 0.

أرسم مخططا زمنيا حسب الشكل رقم 6.72، لمتغيرات Q0, Q1, Q2, Q3 على 17 cycles d'horloge, دورا للساعة علما أن Q0, Q1, Q2, Q3 تنطلق من الصفر .

a. Que réalise le montage de la figure 6.72 ? ماذا يعمل التركيب في الشكل 6.72

A chaque front d'horloge, la valeur présente sur les sorties est décrémentée de un. Ce montage est un décompteur modulo 16. Il décompte de 15 à 0.

عند كل جبهة صاعدة للساعة ، تخفض قيمة المخرجات بمقدار واحد. هذا التركيب هو عدّاد تنازلي بترديد 16. يعدّ تنازليا من 15 إلى 0.

b. On modifie légèrement le montage de la figure 6.72 afin d'obtenir le montage de la figure 6.73. En expliquant votre raisonnement, que réalise le montage de la figure 6.73 ?

بتعديل طفيف للشكل 6.72، نحصل على التركيب في الشكل 6.73، اشرح ماذا يعمل هذا التركيب

La porte NON-ET sert à détecter la valeur 15 et à la remplacer par la valeur 9. Soit M, la sortie de la porte NON-ET. Pour rappel, la sortie d'une porte NON-ET est à 0 uniquement lorsque ses deux entrées sont à 1. M passera donc à 0 lorsque Q2 et Q3 seront à 1 en même temps.

Le passage de M à 0 aura pour effet de provoquer un reset sur Q1 et Q2 et un set sur Q0 et Q3.
La nouvelle valeur présente sur la sortie du décompteur sera donc la valeur $(9_{10} = (1001)_2)$.
Les sorties Q2 et Q3 passent à 1 pour la première fois sur la valeur 15. Le forçage de la valeur 9 s'effectue donc au moment où le décompteur atteint la valeur 15. Cette dernière ne reste pas et est immédiatement remplacée par la valeur 9. M repasse alors à 1 et le décompteur se remet à décompter.

تُستخدم بوابة NAND للكشف عن القيمة 15 واستبدالها بالقيمة 9. نفرض M ناتج بوابة NAND. للتذكير، ينعدم مخرج بوابة NAND حين يكون مدخلاها عند 1. أي، ستنعدم M حين يكون Q2 و Q3 عند 1 في نفس الوقت.
يؤدي انعدام M إلى إعادة انعدام Q1 و Q2 و يجعل Q0 و Q3 تساويان الواحد.
وبالتالي ، فإن القيمة الجديدة الموجودة في مخرج العداد التنازلي هي $(9_{10} = (1001)_2)$.
تنتقل النواتج Q2 و Q3 إلى 1 لأول مرة عند القيمة 15. وبالتالي نفرض المرور إلى القيمة 9 عندما يصل العداد التنازلي إلى القيمة 15. تستبدل فورا بالقيمة 9، فيعود M إلى 1 ويبدأ العداد في العد التنازلي مرة أخرى.

Q	Q3	Q2	Q1	Q0	M	
6	0	1	1	0	1	
5	0	1	0	1	1	
4	0	1	0	0	1	
3	0	0	1	1	1	
2	0	0	1	0	1	
1	0	0	0	1	1	
0	0	0	0	0	1	
15	1	1	1	1	0	Forcer la valeur en 9 .فرض القيمة
9	1	0	0	1	1	
8	1	0	0	0	1	
7	0	1	1	1	1	

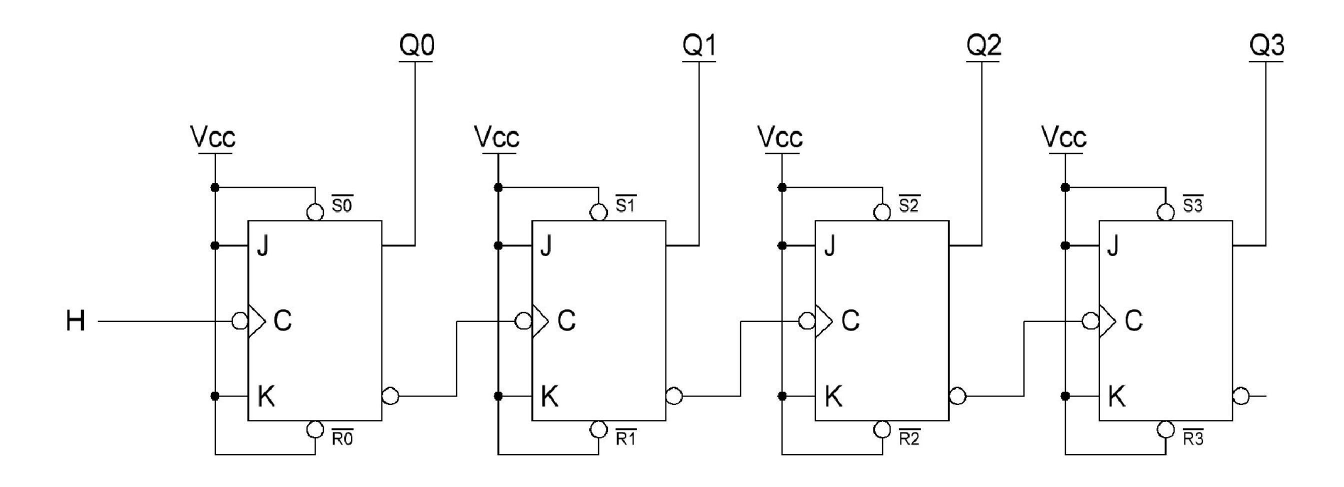


Fig. 6.72: Montage n°1 de l'exercice 8 التركيب الأول للتمرين

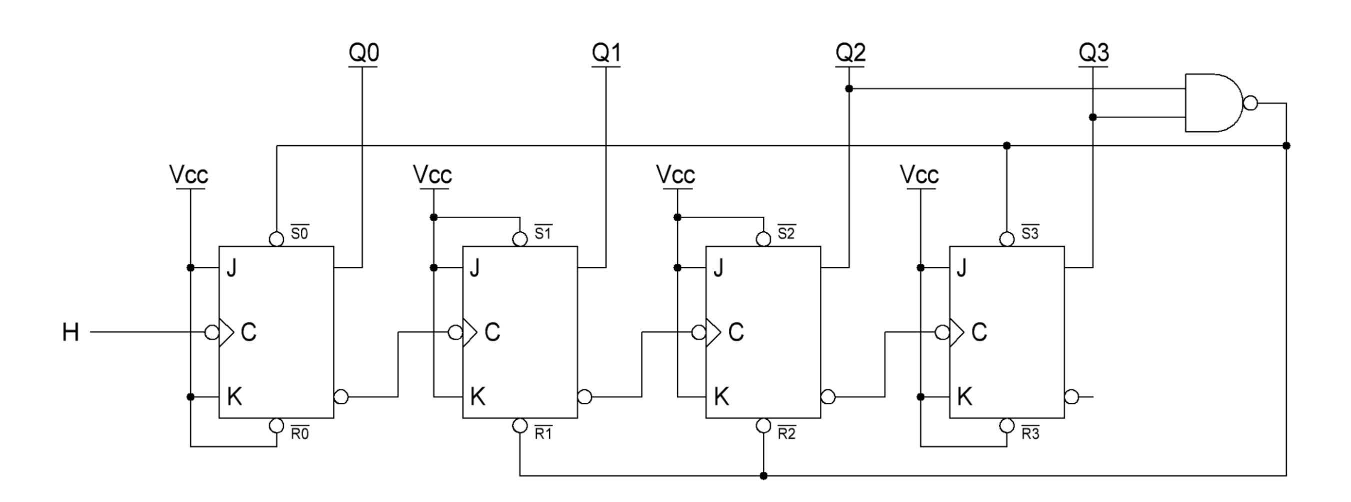


Fig. 6.73: Montage n°2 de l'exercice 8 التركيب الثاني للتمرين 8

Chapitre 7

Tests فحوص

7.1 Tests n°1

Les tests n°1 :concernent le chapitre 1 de

الفحوص رقم 1 للفصل الاول

7.1.1 Sujet n°1

a. On veut réaliser un circuit qui calcule le nombre de Zéros dans une information sur 4 bits $(abcd)_2$.

نريد تصميم دارة تحسب عدد الأصفار في معلومة ذات أربعة أرقام ثنائية abcd.

Réaliser le circuit — أنجز الدارة

- Les entrées/sorties — مداخل ومخارج
- Table de vérité — جدول الحقيقة
- Formes canoniques numériques — الأشكال القانونية الرقمية
- Simplification — التبسيط
- logigrammes — المخطط

7.1.2 Sujet n°2

a. On veut réaliser un circuit qui calcule le nombre de Un dans une information sur 4 bits $(abcd)_2$.

نريد تصميم دارة تحسب عدد الواحدات "1" في معلومة ذات أربعة أرقام ثنائية abcd .

Réaliser le circuit — أنجز الدارة

- Les entrées/sorties — مداخل ومخارج
- Table de vérité — جدول الحقيقة
- Formes canoniques numériques — الأشكال القانونية الرقمية
- Simplification — التبسيط
- logigrammes — المخطط

7.1.3 Sujet n°3

a. On veut réaliser un circuit qui permet de convertir un nombre représenté en complément à 2 sur 4 bits vers une représentation en valeur absolue avec signe sur 4 bits.

نريد تصميم دارة تحول عددا ممثلا في المتمم إلى 2 على 4 بتات إلى تمثيل القيمة المطلقة ذات الإشارة على 4 بتات.

Réaliser le circuit — أنجز الدارة

- Les entrées/sorties — مداخل ومخارج
- Table de vérité — جدول الحقيقة
- Formes canoniques numériques — الأشكال القانونية الرقمية
- Simplification — التبسيط
- logigrammes — المخطط

7.1.4 Sujet n°4

a. On veut réaliser un circuit qui permet de convertir un nombre représenté en valeur absolue avec signe sur 4 bits vers une représentation en complément à 2 sur 4 bits.
نريد تصميم دارة تحول عددا ممثلا في القيمة المطلقة ذات الإشارة على 4 بتات إلى تمثيل المتمم إلى 2 على 4 بتات.

Réaliser le circuit	أنجز الدارة
• Les entrées/sorties	مداخل ومخارج
• Table de vérité	جدول الحقيقة
• Formes canoniques numériques	الأشكال القانونية الرقمية
• Simplification	التبسيط
• logigrammes	المخطط

7.1.5 Sujet n°5

a. On veut réaliser un circuit qui permet de convertir un nombre binaire sur 4 bits vers le code gray sur 4 bits.
نريد تصميم دارة تحول عددا ثنائيا على 4 بتات إلى ترميز غراي على 4 بتات.

Réaliser le circuit	أنجز الدارة
• Les entrées/sorties	مداخل ومخارج
• Table de vérité	جدول الحقيقة
• Formes canoniques numériques	الأشكال القانونية الرقمية
• Simplification	التبسيط
• logigrammes	المخطط

7.1.6 Sujet n°6

a. On veut réaliser un circuit qui permet de convertir un nombre binaire en code gray sur 4 bits vers le binaire sur 4 bits.
نريد تصميم دارة تحول عددا بترميز غراي على 4 بتات إلى عدد ثنائي على 4 بتات.

Réaliser le circuit	أنجز الدارة
• Les entrées/sorties	مداخل ومخارج
• Table de vérité	جدول الحقيقة
• Formes canoniques numériques	الأشكال القانونية الرقمية
• Simplification	التبسيط
• logigrammes	المخطط

7.1.7 Sujet n°7

a. On veut réaliser un circuit qui permet de convertir un nombre binaire en BCD sur 4 bits vers le code Excess3 sur 4 bits.

نريد تصميم دارة تحول عددا ثنائيا ممثلا في BCD على 4 بتات إلى تمثيل Excess3 على 4 بتات.

Réaliser le circuit — أنجز الدارة

- Les entrées/sorties — مداخل ومخارج
- Table de vérité — جدول الحقيقة
- Formes canoniques numériques — الأشكال القانونية الرقمية
- Simplification — التبسيط
- logigrammes — المخطط

7.1.8 Sujet n°8

a. On veut réaliser un circuit qui permet de convertir un nombre binaire en Excess 3 sur 4 bits vers le code BCD sur 4 bits.

نريد تصميم دارة تحول عددا ثنائيا ممثلا في Excess3 على 4 بتات إلى تمثيل BCD على 4 بتات.

Réaliser le circuit — أنجز الدارة

- Les entrées/sorties — مداخل ومخارج
- Table de vérité — جدول الحقيقة
- Formes canoniques numériques — الأشكال القانونية الرقمية
- Simplification — التبسيط
- logigrammes — المخطط

7.1.9 Sujet n°9

a. On veut réaliser un circuit qui permet de convertir un nombre binaire sur 4 bits vers le code rotation ROT(-5) sur 4 bits.

مثال : $ROT_{-5}(0111) => (0010)$

$ROT_{-5}(0101) => (0000)$

$ROT_{-5}(0100) => (1111)$

نريد تصميم دارة تحول عددا ثنائيا على 4 بتات إلى ترميز دوران -5 على 4 بتات.

Réaliser le circuit — أنجز الدارة

- Les entrées/sorties — مداخل ومخارج
- Table de vérité — جدول الحقيقة
- Formes canoniques numériques — الأشكال القانونية الرقمية
- Simplification — التبسيط
- logigrammes — المخطط

7.2 Tests n°3

Les tests n°3 :concernent le chapitre 3 de

الفحوص رقم 3 للفصل الثالث

7.2.1 Sujet n°1

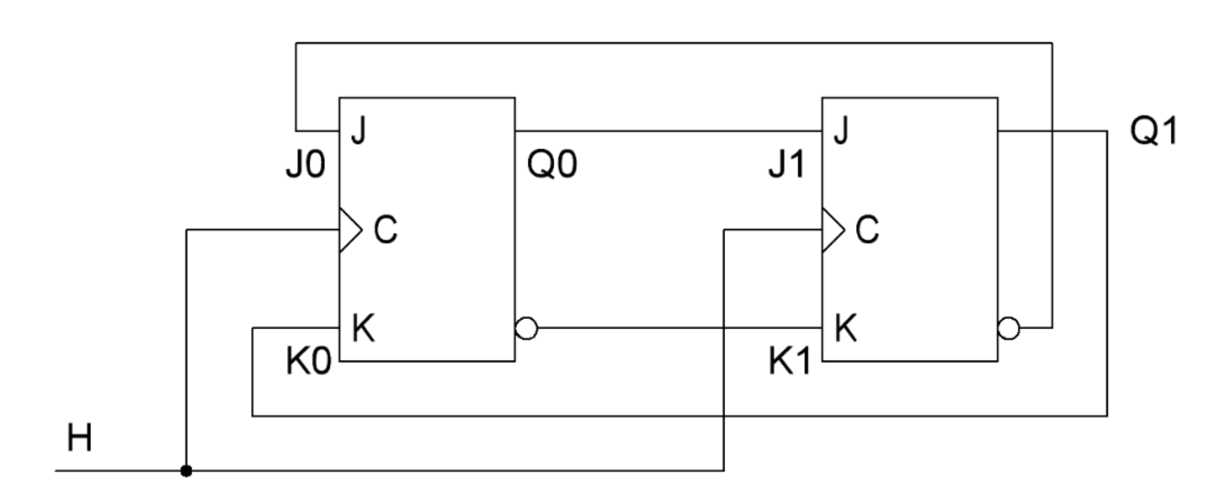
a. Un compteur pair module 16 compte de — عدّاد زوجي بترديد 16، يعدّ كما يلي

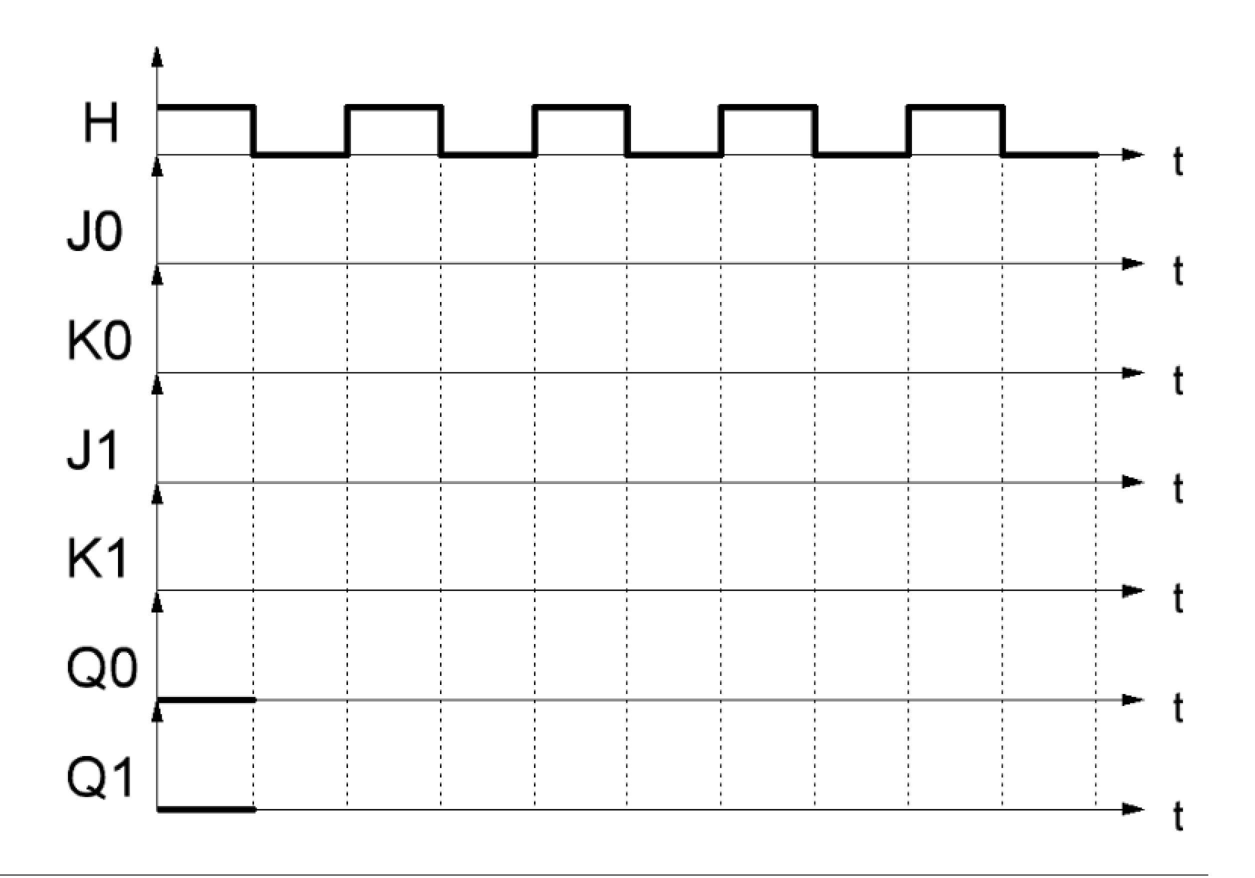
0, 2, 4, 6, 8, 10, 12, 14, 0, 2....

- Donner la table d'états du compteur. — أعط جدول الحالات للعدّاد
- Que remarquer vous ? — ماذا تلاحظ
- Réaliser le schéma à l'aide des bascules JK. — أنجز الدارة بواسطة قلابات ج.ك

b. Donner les équations de J_0, K_0, J_1, K_1 — أعط معادلات

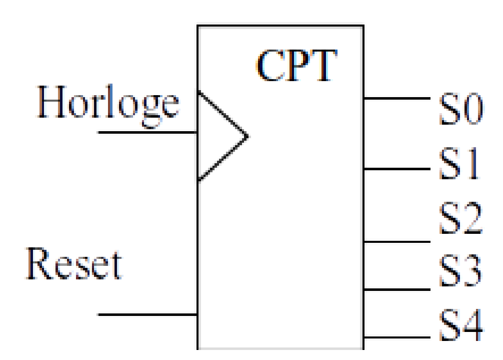
- Remplissez le chronogramme en fonction du montage suivant : — أكمل المخطط الزمني حسب التركيب الموالي





7.2.2 Sujet n°2

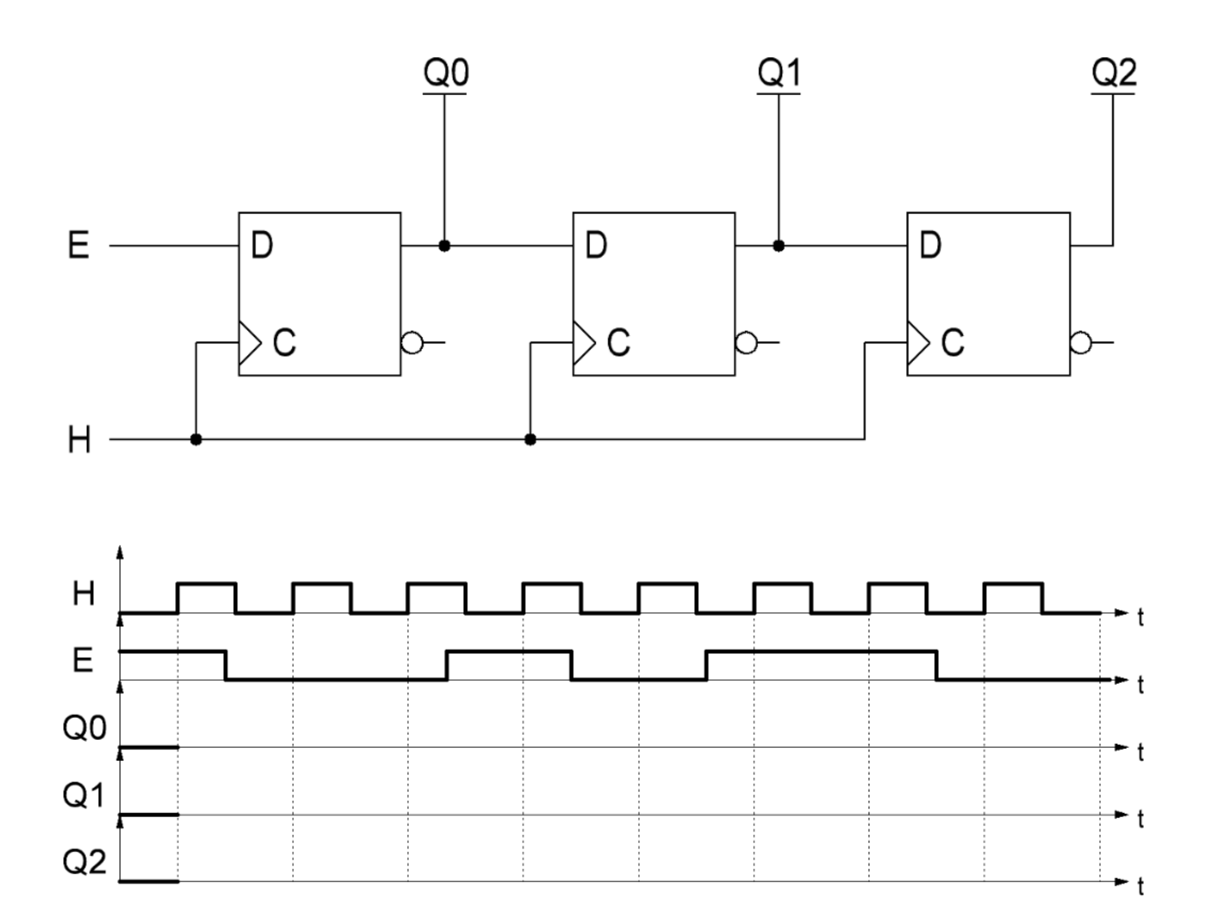
a. Soit le circuit compteur suivant sur 5 bits modulo 32. لتكن العداد الموالي على 5 بتات بترديد 32



- L'entrée Reset permet de remettre le compteur à zéro, المدخل Reset يعيد العداد إلى الصفر
- Proposer le schéma qui permet d'utiliser le circuit CPT pour compter de 0 à 23. اقترح مخططا لاستعمال الدارة CPT كعداد من 0 إلى 23.
- On veut utiliser le circuit CPT pour déclencher une alarme chaque 30 seconds. نريد استعمال الدارة CPT لإطلاق تنبيه كل 30 ثانية من 0 إلى 23.

b. Remplissez le chronogramme en fonction du montage suivant : أكمل المخطط الزمني حسب التركيب الموالي

- Que fait ce montage ? ماذا يعمل هذا التركيب



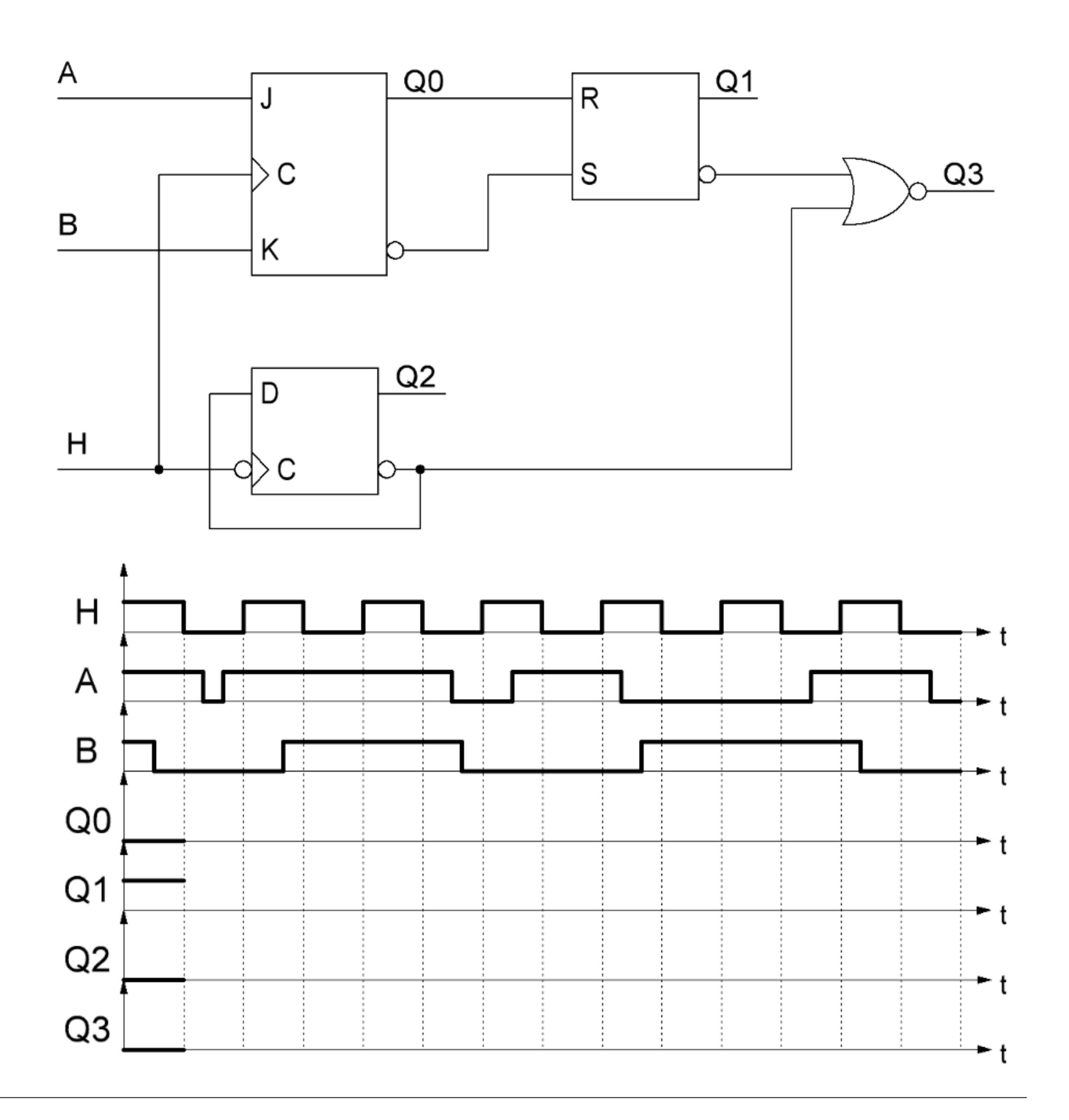
7.2.3 Sujet n°3

a. On veut réaliser un compteur des heures modulo 24. نريد تصميم عداد للساعات بترديد 24 ساعة

- Combien de bascules JK, on doit utiliser ? كم يلزمنا من قلابات ج.ك؟
- Donner l'équation de CL pour remettre le compteur à zéro. أعط معادلة CL لتصفير العداد
- Réaliser un compteur modulo 24 أنجز عدادًا بترديد 24

b. Donner les équations de $D, R, S, Q3$ أعط معادلات

- Remplissez le chronogramme en fonction du montage suivant : أكمل المخطط الزمني حسب التركيب الموالي



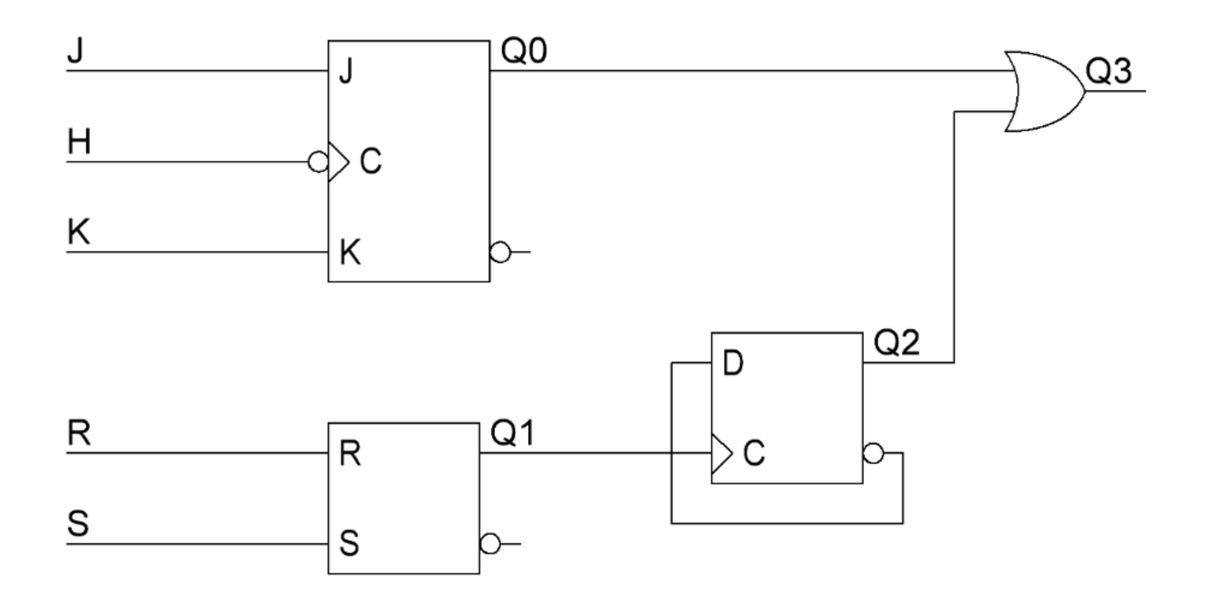
7.2.4 Sujet n°4

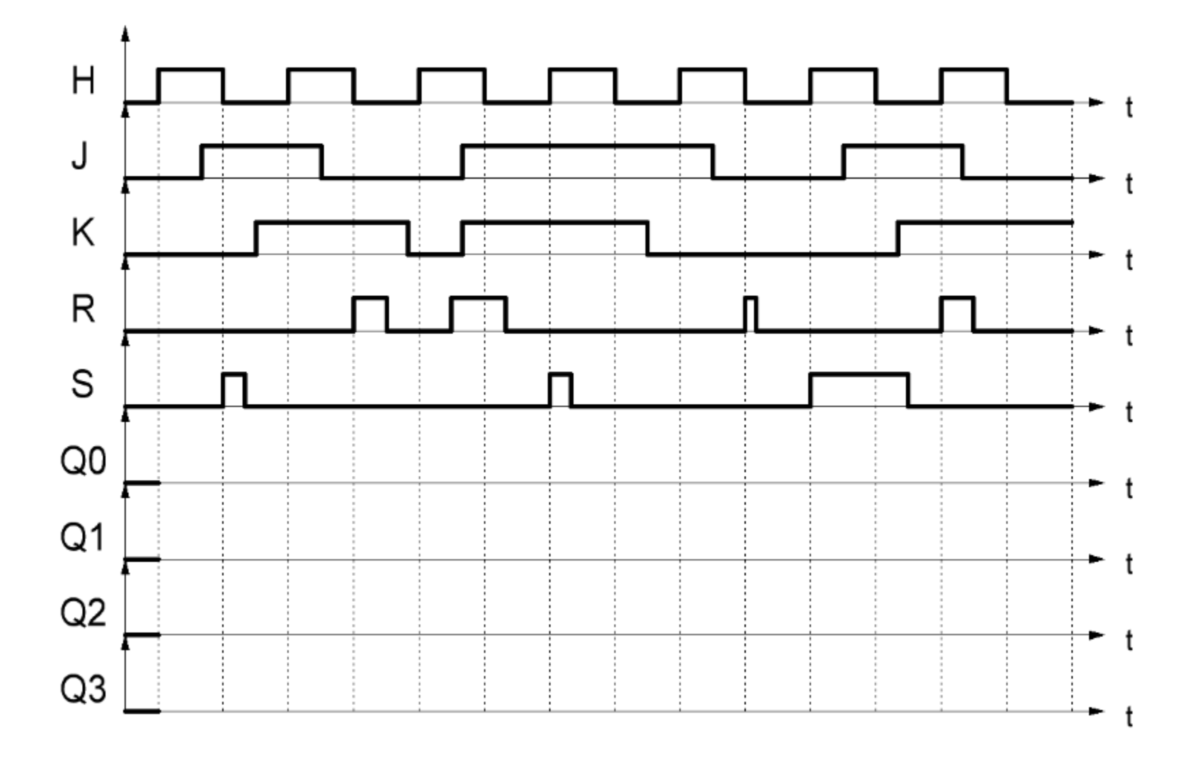
a. Un compteur déformé compte de | عدّاد مُشوّه، يعدّ كما يلي

$$0, 1, 2, 3, 8, 9, 10, 11, 0, 1, 2$$

- Donner la table d'états du compteur. | أعط جدول الحالات للعدّاد
- Réaliser le schéma à l'aide des bascules JK. | أنجز الدارة بواسطة قلابات ج.ك

b. Remplissez le chronogramme en fonction du montage suivant : | أكمل المخطط الزمني حسب التركيب الموالي





7.2.5 Sujet n°5

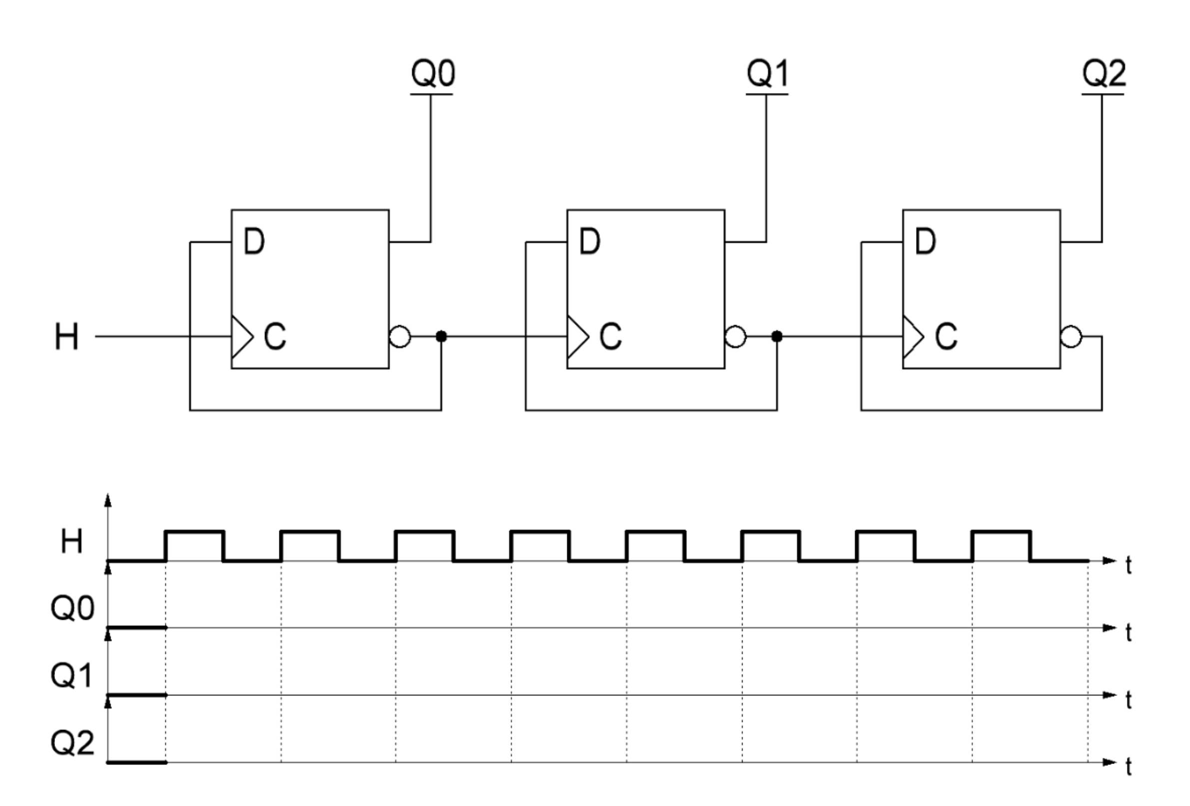
a. Un compteur déformé compte de — عدّاد مُشوّه، يعدّ كما يلي

0, 1, 4, 5, 2, 3, 6, 7, 8, 9, 12, 13, 10, 11, 14, 15, 0, 1, ...

- Donner la table d'états du compteur. — أعط جدول الحالات للعدّاد
- Réaliser le schéma à l'aide des bascules JK. — أنجز الدارة بواسطة قلابات ج.ك

b. Remplissez le chronogramme en fonction du montage suivant : — أكمل المخطط الزمني حسب التركيب الموالي

- Que fait ce montage ? ماذا يعمل هذا التركيب

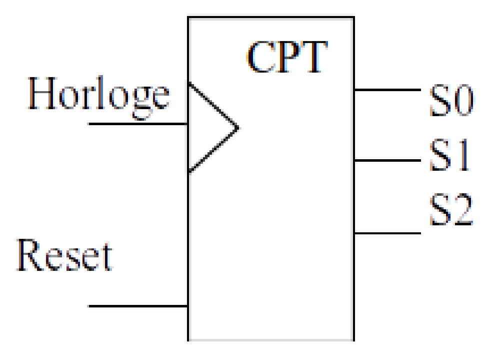


7.2.6 Sujet n°6

a. On veut réaliser un jeu de lumière synchronisé, les lampes s'allument une par une.
نريد تصميم لعبة أضواء متزامنة، تضيء المصابيح واحدا واحدا

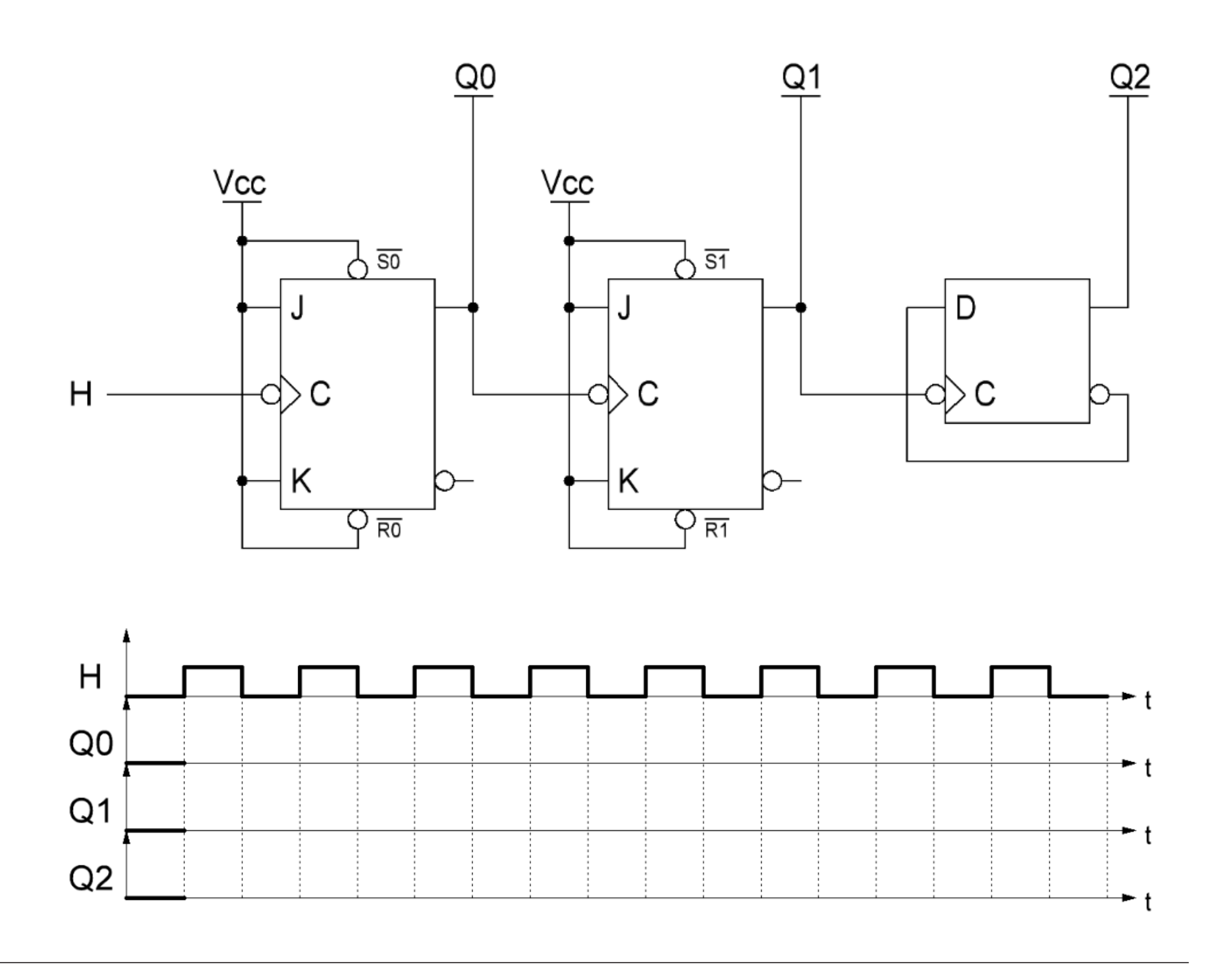
Réaliser le circuit à l'aide de أنجز الدارة بواسطة

- 8 lampes 8 مصابيح
- Un compteur modulo 8 donné en schéma bloc عدّاد بترديد 8 معطى بالمخطط المصمت
- Un décodeur. مفكك ترميز



b. Remplissez le chronogramme en fonction du montage suivant : أكمل المخطط الزمني حسب التركيب الموالي

- Que fait ce montage ? ماذا يعمل هذا التركيب


Q0
Q1
Q2
Vcc
Vcc
S0
S1
J
J
D
H
C
C
C
K
K
R0
R1
H
Q0
Q1
Q2
t
t
t
t

Chapitre 8

Solutions des Tests حلول الفحوص

8.1 Solutions des Tests n°1

8.1.1 Solution du sujet n°1

On veut réaliser un circuit qui calcule le nombre de Zéros dans une information sur 4 bits $(abcd)_2$.

نريد تصميم دارة تحسب عدد الأصفار في معلومة ذات أربعة أرقام ثنائية abcd.

Réaliser le circuit — أنجز الدارة

- Les entrées/sorties — مداخل ومخارج
- Table de vérité — جدول الحقيقة
- Formes canoniques numériques — الأشكال القانونية الرقمية
- Simplification — التبسيط
- logigrammes — المخطط

8.1.1.1 Correction

a. Définition des entrées et des sorties تعريف المداخل والمخارج

- Les entrées المداخل : les bits A, B, C, D
- Les sorties المخارج On utilise 03 bits de sortie, tel que :
  Si ABCD = (0000) => Alors XYZ = (100) c-à-d quatres zéros
  Si ABCD = (0011) => Alors XYZ = (010) c-à-d deux zéros

لدينا ثلاث بتات للمخارج وذلك لأن

إذا كان ABCD = (0000) <= XYZ = (100) أي أربعة أصفار

إذا كان ABCD = (0011) <= XYZ = (010) أي صفرين

b. Table de vérité جدول الحقيقة

N°	A	B	C	D	X	Y	Z
0	0	0	0	0	1	0	0
1	0	0	0	1	0	1	1
2	0	0	1	0	0	1	1
3	0	0	1	1	0	1	0
4	0	1	0	0	0	1	1
5	0	1	0	1	0	1	0
6	0	1	1	0	0	1	0
7	0	1	1	1	0	0	1
8	1	0	0	0	0	1	1
9	1	0	0	1	0	1	0
10	1	0	1	0	0	1	0
11	1	0	1	1	0	0	1
12	1	1	0	0	0	1	0
13	1	1	0	1	0	0	1
14	1	1	1	0	0	0	1
15	1	1	1	1	0	0	0

c. Les formes canoniques الأشكال القانونية

→ La première forme canonique ; الشكل القانوني الرقمي الأول

* $X(A, B, C, D) = \sum[0]$

* $Y(A, B, C, D) = \sum[1, 2, 3, 4, 5, 6, 8, 9, 10, 12]$

* $Z(A, B, C, D) = \sum[1, 2, 4, 7, 8, 11, 13, 14]$

→ La deuxième forme canonique ; الشكل القانوني الرقمي الثاني

* $X(A, B, C, D) = \prod[1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15]$

* $Y(A, B, C, D) = \prod[0, 7, 11, 13, 14, 15]$

* $Z(A, B, C, D) = \prod[0, 3, 5, 6, 9, 10, 12, 15]$

- Tableaux de Karnough مخطط كارنوف

La fonction X الدالة

AB \ CD	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

* La forme simplifiée الشكل المبسط

$X = \bar{a}.\bar{b}.\bar{c}.\bar{d}$

La fonction Y الدالة

AB \ CD	00	01	11	10
00	0	1	1	1
01	1	1	0	1
11	1	0	0	0
10	1	1	0	1

La forme simplifiée الشكل المبسط

$Y = a.\bar{b}.\bar{c} + b.\bar{c}.\bar{d} + \bar{a}.\bar{b}.c + \bar{a}.c.\bar{d} + \bar{b}.c.\bar{d} + \bar{b}.\bar{c}.d$

La fonction Z الدالة

AB \ CD	00	01	11	10
00	0	1	0	1
01	1	0	1	0
11	0	1	0	1
10	1	0	1	0

La forme simplifiée الشكل المبسط

$Z = a.b.c.\bar{d} + a.b.\bar{c}.d + a.\bar{b}.c.d + \bar{a}.b.c.d + a.\bar{b}.\bar{c}.\bar{d} + \bar{a}.b.\bar{c}.\bar{d} + \bar{a}.\bar{b}.c.\bar{d} + \bar{a}.\bar{b}.\bar{c}.d$

- Logigrammes المخططات المنطقية

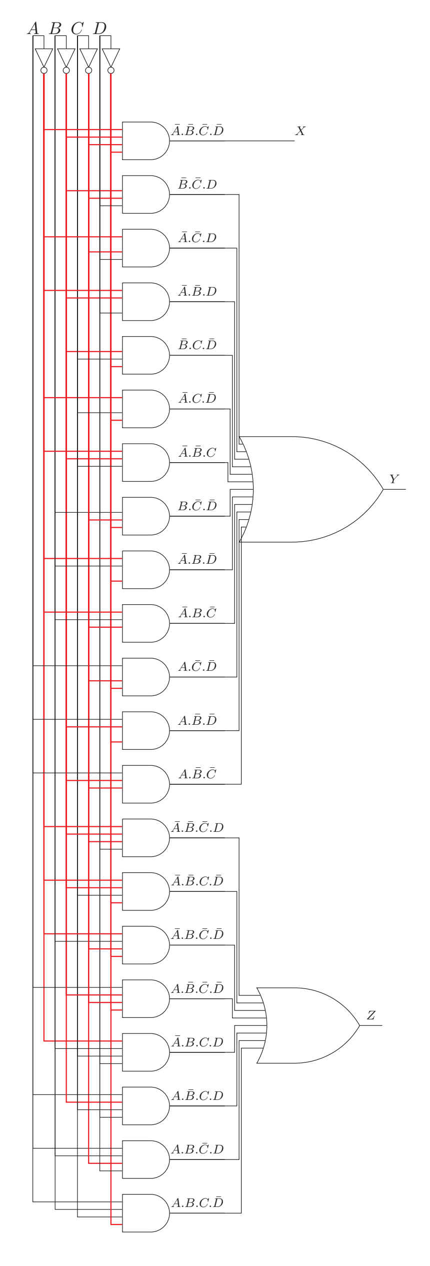


FIG. 8.1: Schéma du Test 8.1

8.1.2 Solution du sujet n°2

Réponse courte إجابة مختصرة

- X = $a.b.c.d$
- Y = $a.b.\bar{c} + a.c.\bar{d} + a.\bar{b}.d + a.\bar{c}.d + \bar{a}.b.d + \bar{a}.c.d$
- Z = $a.b.c.\bar{d} + a.b.\bar{c}.d + a.\bar{b}.c.d + \bar{a}.b.c.d + a.\bar{b}.\bar{c}.\bar{d} + \bar{a}.b.\bar{c}.\bar{d} + \bar{a}.\bar{b}.c.\bar{d} + \bar{a}.\bar{b}.\bar{c}.d$

8.1.3 Solution du sujet n°3

On veut réaliser un circuit qui permet de convertir un nombre représenté en complément à 2 sur 4 bits vers une représentation en valeur absolue avec signe sur 4 bits. Réaliser le circuit (Les entrées/sorties, Table de vérité, formes canoniques, simplification, logigrammes)

نريد تصميم دارة تحول عددا ممثلا في المتمم إلى 2 على 4 بتات إلى تمثيل القيمة المطلقة ذات الإشارة على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط).

8.1.3.1 Correction

a. Définition des entrées et des sorties تعريف المداخل والمخارج

- Les entrées المداخل : les bits A, B, C, D
  représente un nombre en complément à deux, avec A comme bit de signe :
- Les sorties المخارج On utilise 04 bits : WXYZ de sortie, tel que :
  par exemple : $ABCD = (0000)_{cp2} \leftarrow WXYZ = (0000)_{sva}$
  tous les nombres positifs restent les mêmes.
  $ABCD = (1001)_{cp2} \leftarrow WXYZ = (1111)_{sva} = (-7)_{10}$

b. Table de vérité جدول الحقيقة

N°	A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
8	1	0	0	0	X	X	X	X
9	1	0	0	1	1	1	1	1
10	1	0	1	0	1	1	1	0
11	1	0	1	1	1	1	0	1
12	1	1	0	0	1	1	0	0
13	1	1	0	1	1	1	1	1
14	1	1	1	0	1	0	1	0
15	1	1	1	1	1	0	0	1

c. Les formes canoniques الأشكال القانونية

→ La première forme canonique ; الشكل القانوني الرقمي الأول

∗ $W(A, B, C, D) = \sum[9, 10, 11, 12, 13, 14, 15]$

* $X(A, B, C, D) = \sum[4, 5, 6, 7, 9, 10, 11, 12, 13]$
* $Y(A, B, C, D) = \sum[2, 3, 6, 7, 9, 10, 13, 14]$
* $Z(A, B, C, D) = \sum[1, 3, 5, 7, 9, 11, 13, 15]$

→ La deuxième forme canonique ; الشكل القانوني الرقمي الثاني

* $W(A, B, C, D) = \prod[0, 1, 2, 3, 4, 5, 6, 7]$
* $X(A, B, C, D) = \prod[0, 1, 2, 3, 14, 15]$
* $Y(A, B, C, D) = \prod[0, 1, 4, 5, 8, 11, 12, 15]$
* $Z(A, B, C, D) = \prod[0, 2, 4, 6, 8, 10, 12, 14]$

- Tableaux de Karnough مخطط كارنوف

La fonction W مخطط كارنوف للدالة W

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	X	1	1	1

La forme simplifiée الشكل المبسط
$W = a$

La fonction X مخطط كارنوف للدالة X

AB \ CD	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	1	1	0	0
10	X	1	1	1

La forme simplifiée الشكل المبسط
$X = a.\bar{b} + \bar{a}.b + b.\bar{c}$

La fonction Y مخطط كارنوف للدالة Y

AB \ CD	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	1	0	1
10	X	1	0	1

La forme simplifiée الشكل المبسط
$Y = \bar{a}.c + c.\bar{d} + a.\bar{c}.d$

La fonction Z مخطط كارنوف للدالة Z

AB \ CD	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	0	1	1	0
10	X	1	1	0

La forme simplifiée الشكل المبسط
$Z = d$

- Logigrammes المخططات المنطقية

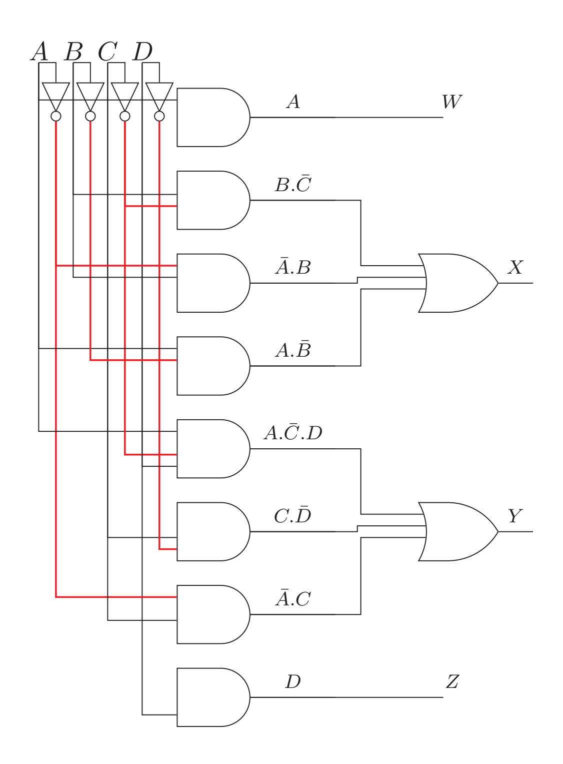


FIG. 8.2: Schéma du Test 8.1.1.1

8.1.4 Solution du sujet n°4

Réponse courte إجابة مختصرة

- W $= a.b + a.c + a.d$
- X $= \bar{a}.b + a.\bar{b}.c + a.\bar{b}.d + b.\bar{c}.\bar{d}$
- Y $= \bar{a}.c + c.\bar{d} + a.\bar{c}.d$
- Z $= d$

8.1.5 Solution du sujet n°5

On veut réaliser un circuit qui permet de convertir un nombre binaire sur 4 bits vers le code gray sur 4 bits. Réaliser le circuit (Les entrées/sorties, Table de vérité, formes canoniques, simplification, logigrammes)

نريد تصميم دارة تحول عددا ثنائيا على 4 بتات إلى ترميز غراي على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط).

8.1.5.1 Correction

a. Définition des entrées et des sorties تعريف المداخل والمخارج

- Les entrées المداخل : les bits A, B, C, D
  représente un nombre en binaire
- Les sorties المخارج On utilise 04 bits : WXYZ de sortie de code gray, tel que :
  par exemple : $ABCD = (0000)_2 \leftarrow WXYZ = (0000)_{gray}$
  $ABCD = (0001)_2 \leftarrow WXYZ = (0001)_{gray}$
  $ABCD = (0010)_2 \leftarrow WXYZ = (0011)_{gray}$

b. Table de vérité جدول الحقيقة

N°	A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1
10	1	0	1	0	1	1	1	1
11	1	0	1	1	1	1	1	0
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	0	0	1
15	1	1	1	1	1	0	0	0

c. Les formes canoniques الأشكال القانونية

- La fonction W(A, B, C, D) الدالة

→ La première forme canonique ; الشكل القانوني الرقمي الأول

* W(A, B, C, D) $= \sum[8, 9, 10, 11, 12, 13, 14, 15]$
* X(A, B, C, D) $= \sum[4, 5, 6, 7, 8, 9, 10, 11]$
* Y(A, B, C, D) $= \sum[2, 3, 4, 5, 10, 11, 12, 13]$
* Z(A, B, C, D) $= \sum[1, 2, 5, 6, 9, 10, 13, 14]$

→ La deuxième forme canonique ; الشكل القانوني الرقمي الثاني

* W(A, B, C, D) $= \prod[0, 1, 2, 3, 4, 5, 6, 7]$
* X(A, B, C, D) $= \prod[0, 1, 2, 3, 12, 13, 14, 15]$
* Y(A, B, C, D) $= \prod[0, 1, 6, 7, 8, 9, 14, 15]$
* Z(A, B, C, D) $= \prod[0, 3, 4, 7, 8, 11, 12, 15]$

- Tableaux de Karnough مخطط كارنوف

La fonction W مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	1	1	1	1

La forme simplifiée الشكل المبسط

W $= a$

Lla fonction X مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	0	0	0	0
10	1	1	1	1

La forme simplifiée الشكل المبسط

X $= a.\bar{b} + \bar{a}.b$

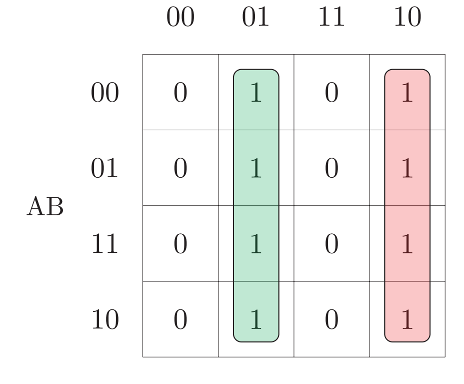
la fonction Y مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	0	0	1	1
01	1	1	0	0
11	1	1	0	0
10	0	0	1	1

La forme simplifiée الشكل المبسط

Y $= b.\bar{c} + \bar{b}.c$

La fonction Z مخطط كارنوف للدالة



AB \ CD	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	0	1	0	1
10	0	1	0	1

La forme simplifiée الشكل المبسط

Z $= c.\bar{d} + \bar{c}.d$

- Logigrammes المخططات المنطقية

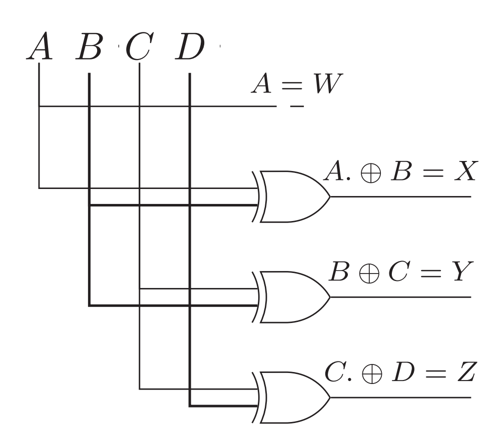


Fig. 8.3: Schéma du Test 8.1.3.1

8.1.6 Solution du sujet n°6

Réponse courte إجابة مختصرة

- W $= a$
- X $= a.\bar{b} + \bar{a}.b$
- Y $= a.b.c + a.\bar{b}.\bar{c} + \bar{a}.b.\bar{c} + \bar{a}.\bar{b}.c$
- Z $= a.b.c.\bar{d} + a.b.\bar{c}.d + a.\bar{b}.c.d + \bar{a}.b.c.d + a.\bar{b}.\bar{c}.\bar{d} + \bar{a}.b.\bar{c}.\bar{d} + \bar{a}.\bar{b}.c.\bar{d} + \bar{a}.\bar{b}.\bar{c}.d$

8.1.7 Solution du sujet n°7

On veut réaliser un circuit qui permet de convertir un nombre binaire en BCD sur 4 bits vers le code Excess3 sur 4 bits. Réaliser le circuit (Les entrées/sorties, Table de vérité, formes canoniques, simplification, logigrammes)

نريد تصميم دارة تحول عددا ثنائيا ممثلا في BCD على 4 بتات إلى تمثيل Excess3 على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط).

8.1.7.1 Correction

a. Définition des entrées et des sorties تعريف المداخل والمخارج

- Les entrées المداخل : les bits A, B, C, D

  représente un nombre en BCD

- Les sorties المخارج On utilise 04 bits : WXYZ de sortie de code Excesw 3 , tel que : $(WXYZ = ABCD + 11)_2$

  On constate que les nombres > 9 représentent des cas interdit. par exemple : $ABCD = (0000)_{bcd} \leftarrow WXYZ = (0011)_{ex3}$

  $ABCD = (0001)_{bcd} \leftarrow WXYZ = (0100)_{ex3}$

  $ABCD = (1001)_{bcd} \leftarrow WXYZ = (1100)_{ex3}$

  $ABCD = (1010)_{bcd} \leftarrow WXYZ = (XXXX)_{ex3}$

  . .

  $ABCD = (1111)_{bcd} \leftarrow WXYZ = (XXXX)_{ex3}$

b. Table de vérité جدول الحقيقة

N°	A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0
10	1	0	1	0	X	X	X	X
11	1	0	1	1	X	X	X	X
12	1	1	0	0	X	X	X	X
13	1	1	0	1	X	X	X	X
14	1	1	1	0	X	X	X	X
15	1	1	1	1	X	X	X	X

c. Les formes canoniques الأشكال القانونية

$\rightarrow$ $W(A, B, C, D) = \sum[5, 6, 7, 8, 9]$

$\rightarrow$ $W(A, B, C, D) = \prod[0, 1, 2, 3, 4, 10, 11]$

$\rightarrow$ $X(A, B, C, D) = \sum[1, 2, 3, 4, 9]$

$\rightarrow$ $X(A, B, C, D) = \prod[0, 5, 6, 7, 8, 13, 14, 15]$

$\rightarrow$ $Y(A, B, C, D) = \sum[0, 3, 4, 7, 8]$

$\rightarrow$ $Y(A, B, C, D) = \prod[1, 2, 5, 6, 9, 10, 13, 14]$

$\rightarrow$ $Z(A, B, C, D) = \sum[0, 2, 4, 6, 8]$

$\rightarrow$ $Z(A, B, C, D) = \prod[1, 3, 5, 7, 9, 11, 13, 15]$

- Tableaux de Karnough مخطط كارنوف

La fonction W مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	1	1	1
11	X	X	X	X
10	1	1	X	X

La fonction simplifiée الشكل المبسط

$W = b.c + b.d + a.\bar{c}$

La fonction X مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	0	1	1	1
01	1	0	0	0
11	X	X	X	X
10	0	1	X	X

La fonction simplifiée الشكل المبسط

$X = \bar{b}.c + \bar{b}.d + b.\bar{c}.\bar{d}$

La fonction Y مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	1	0	1	0
01	1	0	1	0
11	X	X	X	X
10	1	0	X	X

La fonction simplifiée الشكل المبسط

$Y = c.d + \bar{c}.\bar{d}$

La fonction Z مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	X	X	X	X
10	1	0	X	X

La fonction simplifiée الشكل المبسط

$Z = \bar{d}$

- Logigrammes المخططات المنطقية

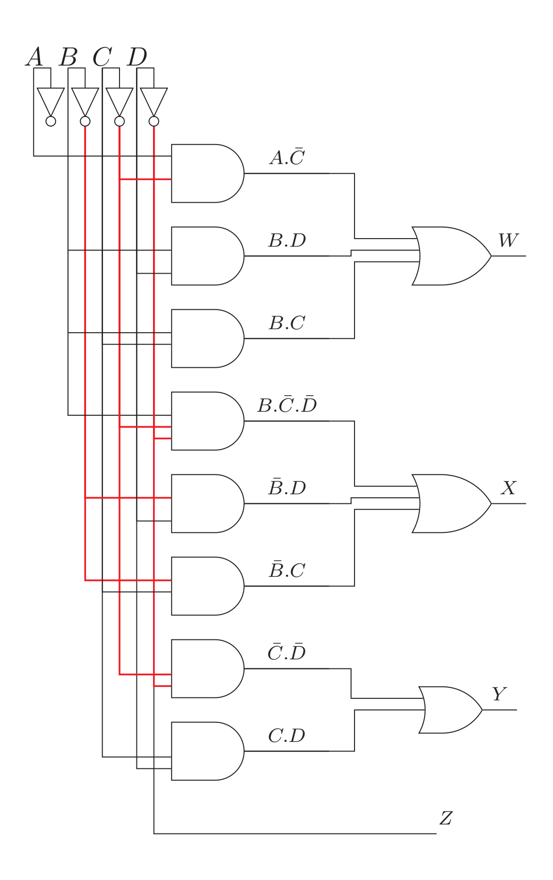


FIG. 8.4: Schéma du Test 8.1.5.1

8.1.8 Solution du sujet n°8

Réponse courte إجابة مختصرة

- W $= a.b + a.c.d$
- X $= b.c.d + a.\bar{b}.\bar{c} + a.\bar{b}.\bar{d}$
- Y $= c.\bar{d} + \bar{c}.d$
- Z $= \bar{d}$

8.1.9 Solution du sujet n°9

On veut réaliser un circuit qui permet de convertir un nombre binaire sur 4 bits vers le code rotation ROT(-5) sur 4 bits. Réaliser le circuit (Les entrées/sorties, Table de vérité, formes canoniques, simplification, logigrammes)

: مثال $ROT_{-5}(0111) => (0010)$ $ROT_{-5}(0101) => (0000)$ $ROT_{-5}(0100) => (1111)$

نريد تصميم دارة تحول عددا ثنائيا على 4 بتات إلى ترميز دوران -5 على 4 بتات.

أنجز الدارة (مداخل ومخارج، جدول الحقيقة، الأشكال القانونية، التبسيط، المخطط).

8.1.9.1 Correction

a. Définition des entrées et des sorties تعريف المداخل والمخارج

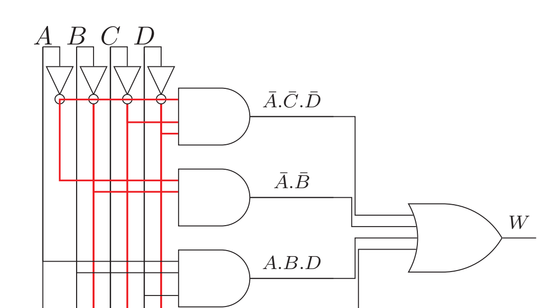
- Les entrées المداخل : les bits A, B, C, D
  représente un nombre binaire
- Les sorties المخارج On utilise 04 bits : WXYZ de sortie de code ROT(-5), tel que : $(WXYZ = ABCD - 101)_2$
  par exemple : $ABCD = (0101)_2 \leftarrow WXYZ = (0000)_{rot-5}$
  $ABCD = (0110)_2 \leftarrow WXYZ = (0001)_{rot-5}$
  $ABCD = (1111)_2 \leftarrow WXYZ = (1010)_{rot-5}$
  les nombres inférieurs à 5, sont en rotation
  $ABCD = (0100)_2 \leftarrow WXYZ = (1111)_{rot-5}$
  $ABCD = (0011)_2 \leftarrow WXYZ = (1110)_{rot-5}$

b. Table de vérité جدول الحقيقة

N°	A	B	C	D	W	X	Y	Z
0	0	0	0	0	1	0	1	1
1	0	0	0	1	1	1	0	0
2	0	0	1	0	1	1	0	1
3	0	0	1	1	1	1	1	0
4	0	1	0	0	1	1	1	1
5	0	1	0	1	0	0	0	0
6	0	1	1	0	0	0	0	1
7	0	1	1	1	0	0	1	0
8	1	0	0	0	0	0	1	1
9	1	0	0	1	0	1	0	0
10	1	0	1	0	0	1	0	1
11	1	0	1	1	0	1	1	0
12	1	1	0	0	0	1	1	1
13	1	1	0	1	1	0	0	0
14	1	1	1	0	1	0	0	1
15	1	1	1	1	1	0	1	0

c. Les formes canoniques الأشكال القانونية

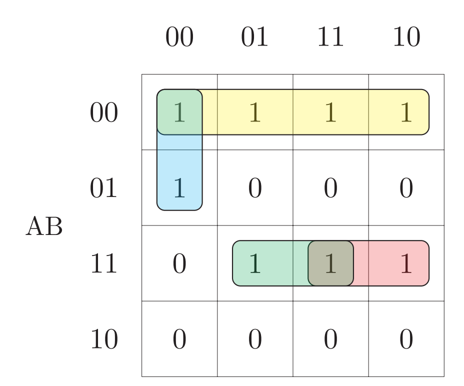
- W(A, B, C, D) $= \sum[0, 1, 2, 3, 4, 13, 14, 15]$
- W(A, B, C, D) $= \prod[5, 6, 7, 8, 9, 10, 11, 12]$
- X(A, B, C, D) $= \sum[1, 2, 3, 4, 9, 10, 11, 12]$
- X(A, B, C, D) $= \prod[0, 5, 6, 7, 8, 13, 14, 15]$
- Y(A, B, C, D) $= \sum[0, 3, 4, 7, 8, 11, 12, 15]$
- Y(A, B, C, D) $= \prod[1, 2, 5, 6, 9, 10, 13, 14]$
- Z(A, B, C, D) $= \sum[0, 2, 4, 6, 8, 10, 12, 14]$



- $Z(A, B, C, D) = \prod[1, 3, 5, 7, 9, 11, 13, 15]$

d. Tableaux de Karnough مخطط كارنوف

La fonction W مخطط كارنوف للدالة



AB \ CD	00	01	11	10
00	1	1	1	1
01	1	0	0	0
11	0	1	1	1
10	0	0	0	0

La forme simplifiée الشكل المبسط

$W = a.b.c + a.b.d + \bar{a}.\bar{b} + \bar{a}.\bar{c}.\bar{d}$

La fonction X مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	0	1	1	1
01	1	0	0	0
11	1	0	0	0
10	0	1	1	1

La forme simplifiée الشكل المبسط

$X = \bar{b}.c + \bar{b}.d + b.\bar{c}.\bar{d}$

La fonction Y مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	1	0	1	0
01	1	0	1	0
11	1	0	1	0
10	1	0	1	0

La forme simplifiée الشكل المبسط

$Y = c.d + \bar{c}.\bar{d}$

8.2 Solutions des Tests n°3

8.2.1 Solution du sujet n°1

i. Un compteur pair module 16 compte de

عدّاد زوجي بترديد 16، يعدّ كما يلي

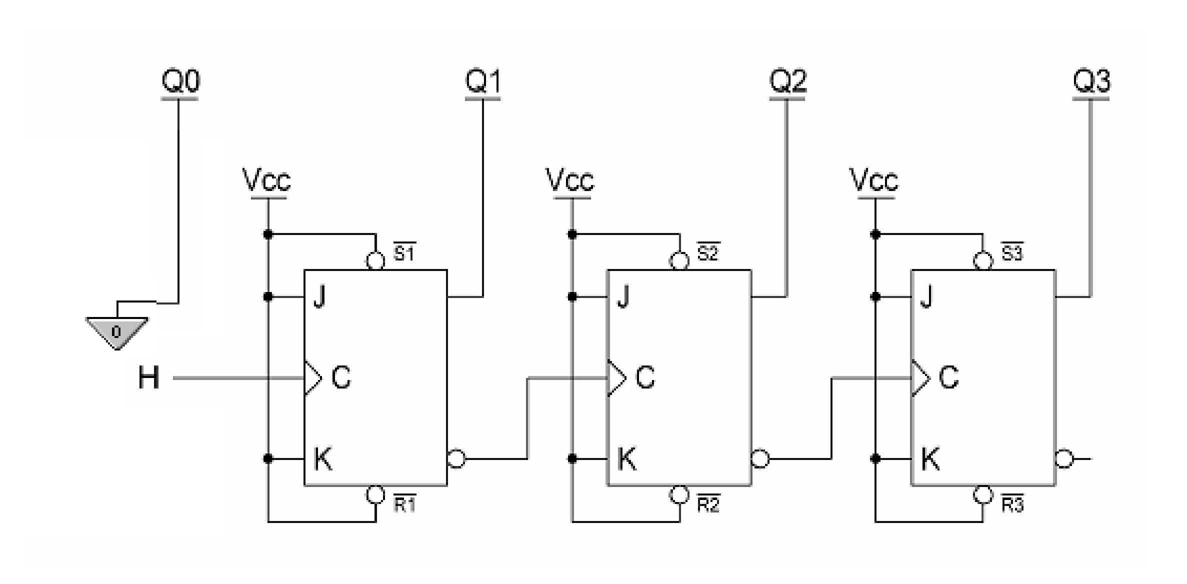
$$0, 2, 4, 6, 8, 10, 12, 14, 0, 2....$$

La table des états

N°	Q3	Q2	Q1	Q0
0	0	0	0	0
2	0	0	1	0
4	0	1	0	0
6	0	1	1	0
8	1	0	0	0
10	1	0	1	0
12	1	1	0	0
14	1	1	1	0
0	0	0	0	0

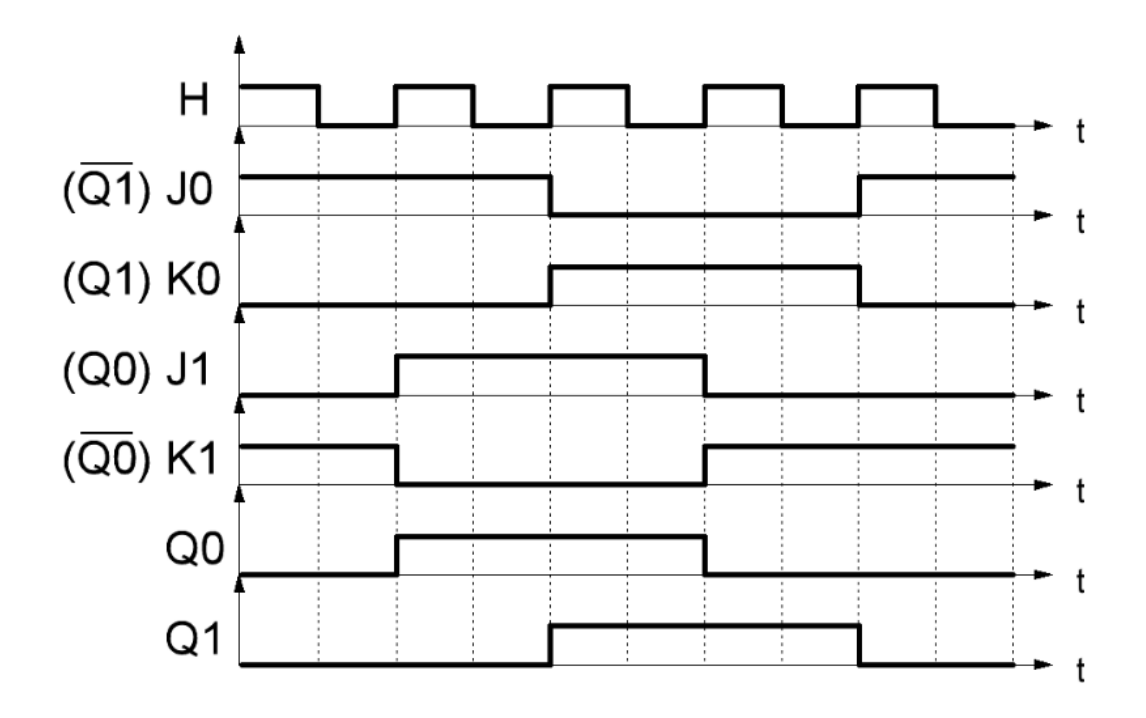
On constate que la sortie Q_0 est toujours à 0, donc on peut brancher la sortie Q_0 à 0 et construire un compteur modulo 8.

نلاحظ أنّ المخرج $Q0$ معدوم دائمًا، لذا نربطه بالصفر، لبناء عدّاد بترديد 8.



ii. Le chronogramme :

المخطط الزمني



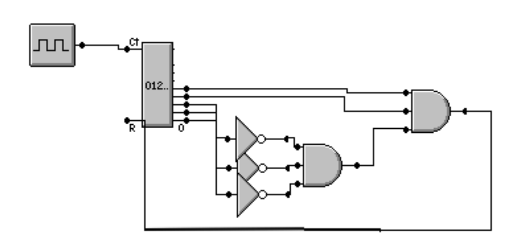
8.2.2 Solution du sujet n°2

i. Soit le circuit compteur suivant sur 5 bits modulo 32. لتكن العداد الموالي على 5 بتات بترديد 32

→ Pour compter de 0 à 23 il faut remettre le Reset à 1 lorsque la valeur 24 apparais ,

لنعدّ من 0 إلى 23، علينا أن نصفّر العداد عندما يظهر العدد 24

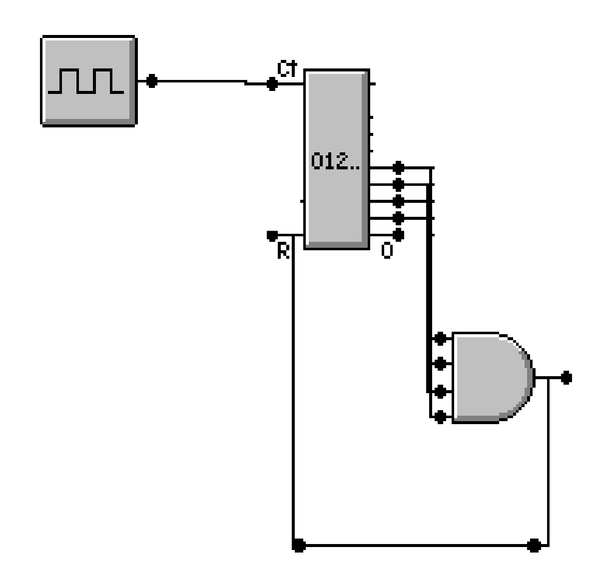
$24 = (11000)_2 \rightarrow R = S_4.S_3\overline{S_2}.\overline{S_1}.\overline{S_0}$



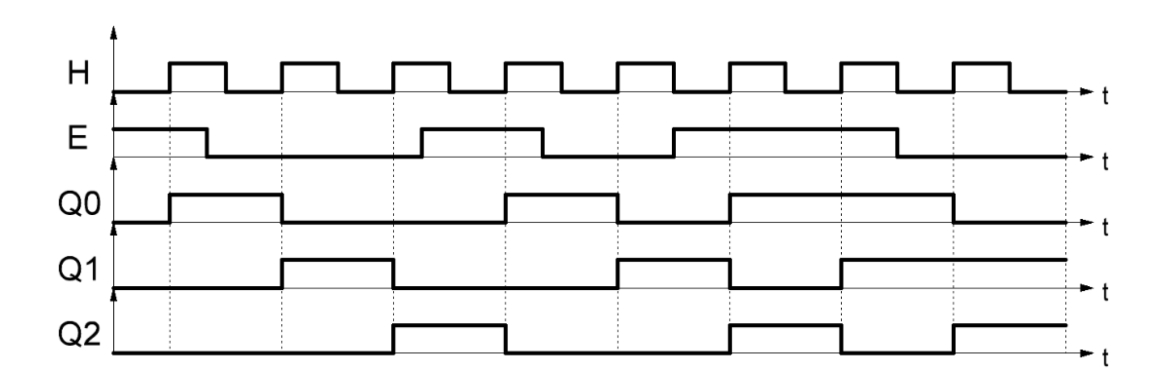
Pour déclencher une alarme chaque 30 seconds, il faut compter de 0 à 29, donc on doit réinitialiser le compteur à la valeur 30.

لإطلاق تنبيه كل 30 ثانية، أي سنعد من 0 إلى 29، ثم نصفّر العداد عند القيمة 30.

$30 = 11110_2 \rightarrow R = S_4.S_3.S_2.S_1.\overline{S_0}$



ii. Le chronogramme : المخطط الزمني



A chaque front montant de l'horloge d'une bascule D, sa sortie **Q** recopie son entrée **D**.

Chaque sortie est donc recopiée sur la suivante : **il s'agit d'un registre à décalage sur 3 bits**. Le nouveau bit entrant dans Q_0 est **E**.

عند كل جبهة صاعدة للساعة في القلاب D ، يأخذ ناتجها Q قيمة المدخل D.

كل مخرج يأخذ قيمة ما قبله، لذا فإنه **سجل إزاحة 3 بتات**. البت الجديد الذي يدخل Q0 هو E.

8.2.3 Solution du sujet n°3

i. On veut réaliser un compteur des heures modulo 24. نريد تصميم عداد للساعات بترديد 24 ساعة

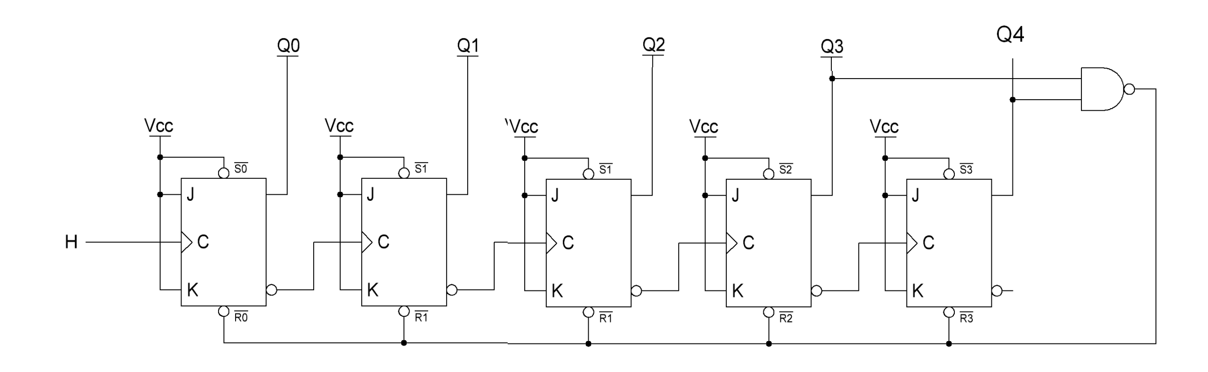
→ Combien de bascules JK, on doit utiliser ? كم يلزمنا من قلابات ج.ك؟

On a besoin de 5 bascule car $24 = (11000)_2$

→ L'équation de CL pour remettre le compteur à zéro. أعط معادلة CL لتصفير العداد

$CL = \overline{Q_4}.\overline{Q_3}$

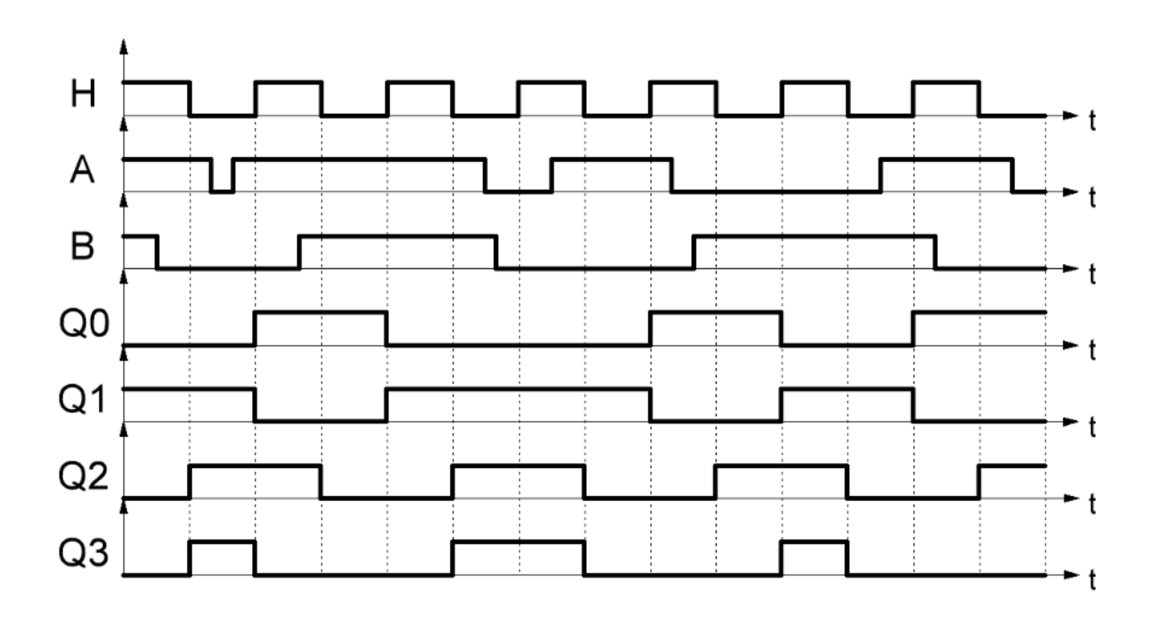
→ Réaliser un compteur modulo 24 أنجز عدادًا بترديد 24



ii. Les équations de $D, R, S, Q3$ معادلات

$D = \overline{Q_2}$
$R = Q_0$
$S = \overline{Q_0}$
$Q_3 = Q_1 \downarrow Q_2$

→ Le chronogramme : المخطط الزمني



8.2.4 Solution du sujet n°4

i. Un compteur déformé compte de عدّاد مُشوّه، يعدّ كما يلي

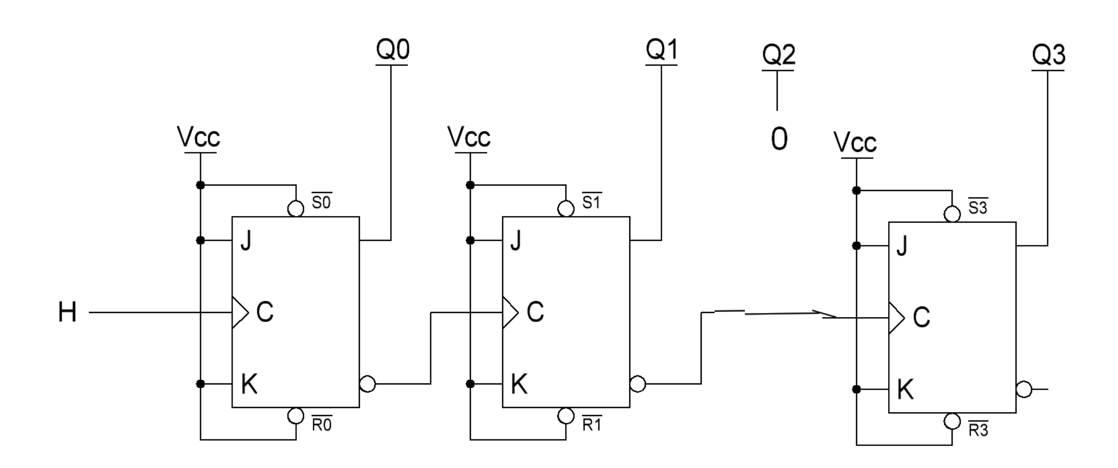
$$0, 1, 2, 3, 8, 9, 10, 11, 0, 1, 2$$

→ Donner la table d'états du compteur. أعط جدول الحالات للعدّاد

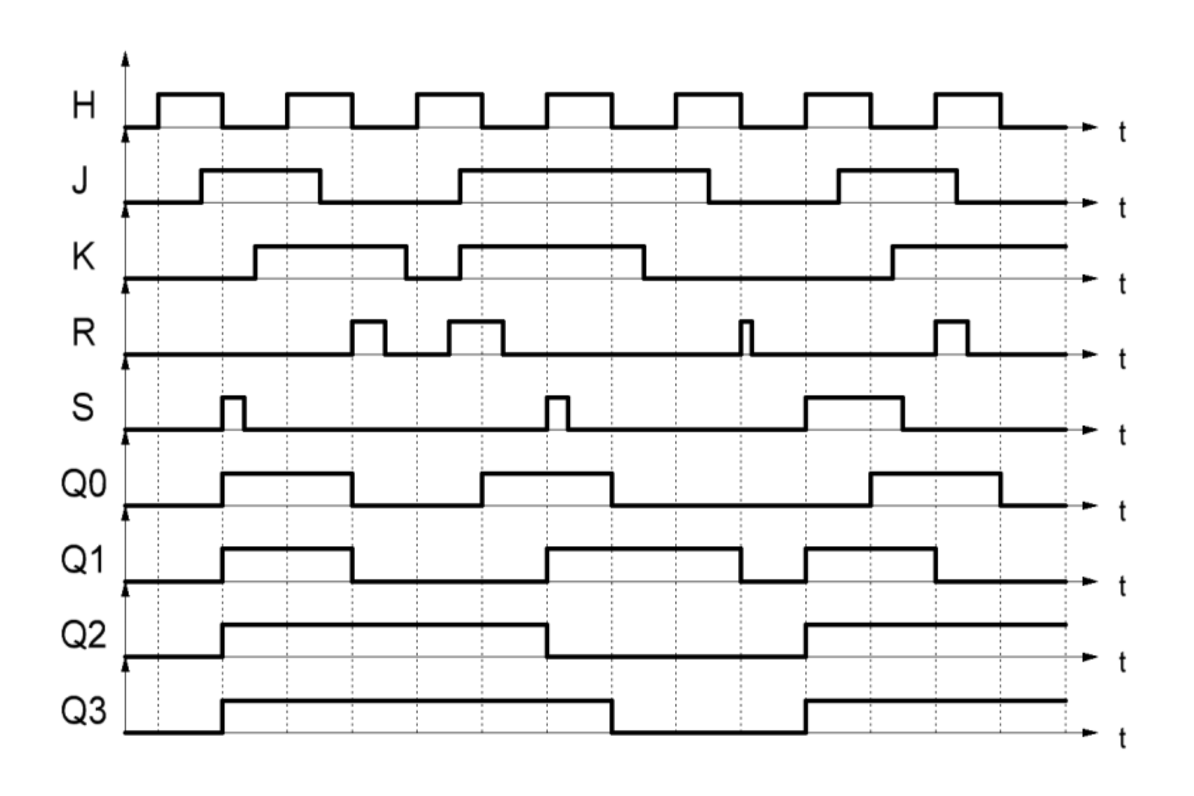
N°	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
0	0	0	0	0

On constate que Q2 est toujours à 0, نلاحظ أنّ المخرج Q2 معدوم دومًا

→ Réaliser le schéma à l'aide des bascules JK. أنجز الدارة بواسطة قلابات ج.ك



ii. Remplissez le chronogramme en fonction du montage suivant : أكمل المخطط الزمني حسب التركيب الموالي



8.2.5 Solution du sujet n°5

i. Un compteur déformé compte de

عدّاد مُشوّه، يعدّ كما يلي

$$0, 1, 4, 5, 2, 3, 6, 7, 8, 9, 12, 13, 10, 11, 14, 15, 0, 1, ...$$

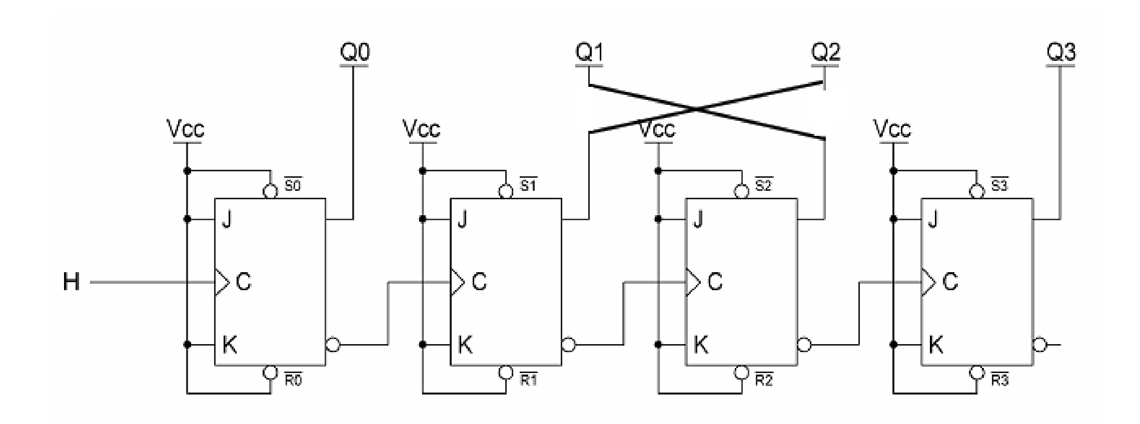
→ Donner la table d'états du compteur.

أعط جدول الحالات للعدّاد

N°	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
4	0	1	0	0
5	0	1	0	1
2	0	0	1	0
3	0	0	1	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
12	1	1	0	0
13	1	1	0	1
10	1	0	1	0
11	1	0	1	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0

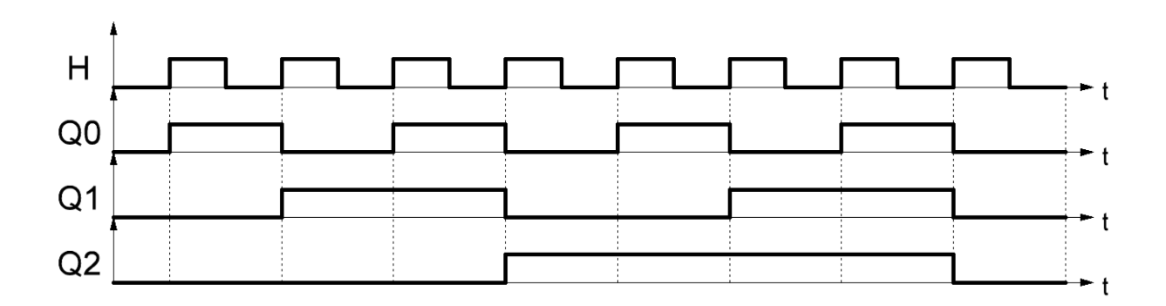
On constate que Q2 et Q1 sont inversé,

نلاحظ أن المخرجين Q1 و Q1 مقلوبان



→ Réaliser le schéma à l'aide des bascules JK. أنجز الدارة بواسطة قلابات ج.ك

ii. Remplissez le chronogramme en fonction du montage suivant : أكمل المخطط الزمني حسب التركيب الموالي



→ Que fait ce montage ? ماذا يعمل هذا التركيب

Les bascules D sont câblées en basculement permanent (l'entée D est reliée à la sortie Q) :

* La sortie Q0 bascule sur chaque front montant de H.
* La sortie Q1 bascule sur chaque front montant de $\overline{Q_0}$ (donc chaque front descendant de Q_0).
* La sortie Q2 bascule sur chaque front montant de $\overline{Q_1}$ (donc chaque front descendant de Q_1).
* On peut reconnaître un compteur modulo 8.

القلابات "د" مربوطة في انقلاب مستمر، لأن المدخل "D" مربوط بالمخرج Q

* المخرج Q0 تنقلب عند كل جبهة صاعدة للساعة H.
* المخرج Q1 ينقلب عند كل جبهة صاعدة ل $\overline{Q_0}$ (أي في الجبهة النازلة للمخرج Q_0).
* المخرج Q2 ينقلب عند كل جبهة صاعدة ل $\overline{Q_1}$ (أي في الجبهة النازلة للمخرج Q_1).
* يمكن التعرف على عدّاد بترديد 8.

8.2.6 Solution du sujet n°6

i. On veut réaliser un jeu de lumière synchronisé, les lampes s'allument une par une.

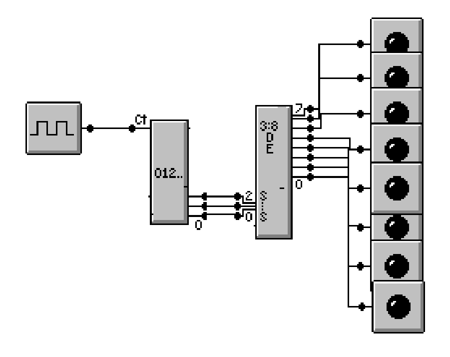
نريد تصميم لعبة أضواء متزامنة، تضيء المصابيح واحدا واحدا

Réaliser le circuit à l'aide de — أنجز الدارة بواسطة

→ 8 lampes — 8 مصابيح

→ Un compteur modulo 8 donné en schéma bloc — عدّاد بترديد 8 معطى بالمخطط المصمت

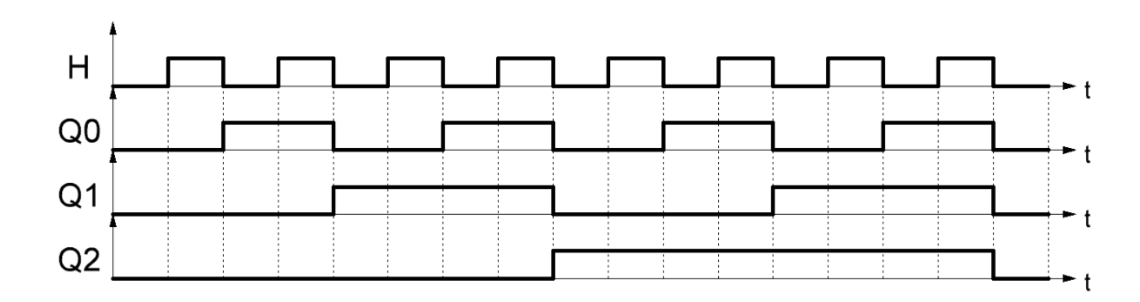
→ Un décodeur. — مفكك ترميز



ii. Remplissez le chronogramme en fonction du montage suivant : — أكمل المخطط الزمني حسب التركيب الموالي

→ Que fait ce montage ? — ماذا يعمل هذا التركيب

Compteur modulo 8 — عدّاد بترديد 8



Chapitre 9

Examens امتحانات

9.1 Examens امتحانات

9.1.1 Sujet n°1

01 **Exercice n°1 [5pts :2, 1, 1, 1]**

i. Simplifier l'expression suivante par les propriétés algébriques بسّط بالخواص الجبرية

$S = a.c.d + \bar{a}.\bar{b} + \bar{a}.\bar{d} + \bar{b}.\bar{d} + \bar{b}.d + a.c.d + \bar{a}.b.c.\bar{d} + \bar{a}.b.\bar{c} + a.b.c.\bar{d} + \bar{a}.\bar{c} + \bar{b}.\bar{c} + \bar{c}.\bar{d} + a.b.c.d + a.\bar{b}.\bar{d} + \bar{a}.b.\bar{d} + \bar{a}.\bar{b}.d$

ii. Coder les nombres suivants en BCD, ensuite faire l'addition correcte.

رمّز العددين في BCD ثم اجمعها جمعًا صحيحا

1099 et 2019

iii. Déterminer les deux nombres successeurs de x en code gray أعط العددين المواليين للعدد x في ترميز غراي

$x = (1011\,1000\,1101)_{gray}$

iv. Si le code de 'z' en code ASCII est $(7a)_{16}$, et le code de l'espace est $(20)_{16}$, décoder le message suivant :

إذا كان ترميز $'z' = (7a)_{16}$ والفراغ هو $(20)_{16}$. فكك ترميز الرسالة

68 61 76 65 20 66 75 6E

02 **Exercice n°2 (7pts[1,2,1,2,1])** Une usine fabrique des produits, les produits doivent passer un test de conformité aux critères de poids, taille, couleur, et odeur. Si le produit est sans défaut de fabrication, il est classé en « premier choix ».

→ Si le produit a un seul défaut, il est classé en « deuxième choix ».

→ Si le produit a deux défauts, il est classé en « troisième choix ».

→ Si le produit a plus de deux défauts, il est rejeté.

ينتج مصنع منتجات ، يجب أن تجتاز المنتجات اختبار المطابقة لمعايير الوزن والحجم واللون والرائحة المطابقة لمعايير الوزن والحجم واللون والرائحة

→ إذا كان المنتج خاليا من عيوب التصنيع ، فإنه يصنف على أنه من "الطراز الأول".

→ إذا كان في المنتج عيب واحد ،يصنف على أنه "طراز ثان".

→ إذا كان المنتج به عيبان ، فإنه يصنف على أنه "طراز ثالث".

→ إذا كان المنتج به أكثر من عيبين ، فيتم رفضه.

Réaliser le circuit logique qui permet de trier les produits selon la qualité et les défauts de fabrication.

أنجز الدارة المنطقية التي تفرز المنتجات حسب الجودة وعيوب التصنيع. وعيوب التصنيع.

→ Les entrées/sorties — مداخل ومخارج

→ Table de vérité — جدول الحقيقة

→ Formes canoniques numériques — الأشكال القانونية الرقمية

→ Simplification — التبسيط

→ logigrammes — المخطط

03 Exercice n°3 [3pts]

Refaire le circuit de l'exercice 2 à l'aide des multiplexeurs uniquement.

أعد الدارة من التمرين 2 باستخدام مجمعات فقط.



Exercice n°4 : [5 pts (1, 2, 1, 1)]

Soit la bascule JK.
لدينا القلاب ج.ك

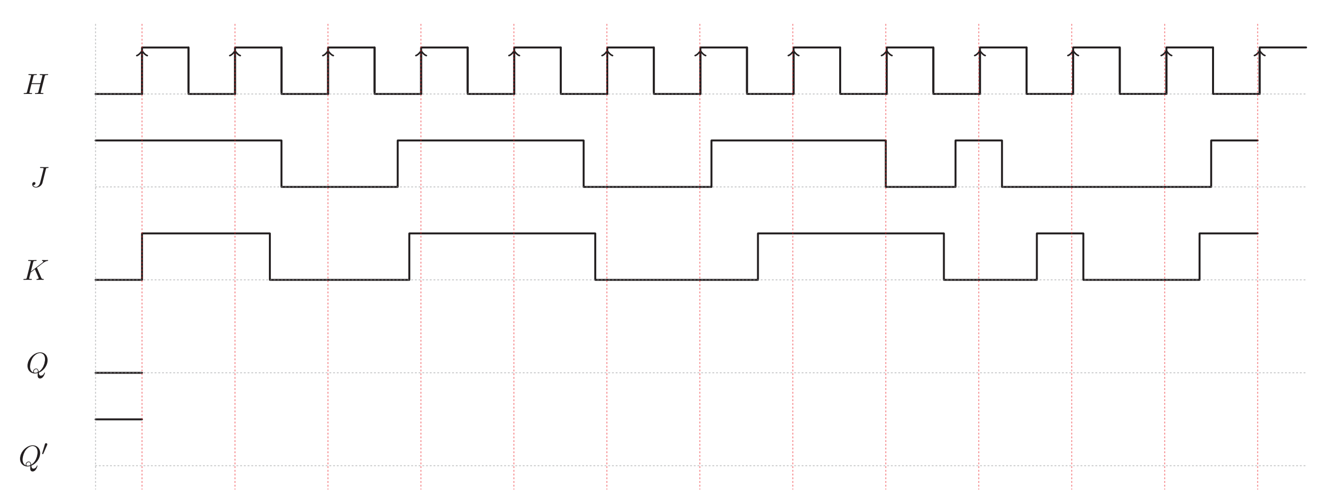
i. Rappeler les tables de vérités des deux bascules JK — ذكّر بجدول لحقيقة للقلاب

ii. Compléter le chronogramme selon les cas suivants — أكمل المخطط الزمني حسب الحالات الآتية

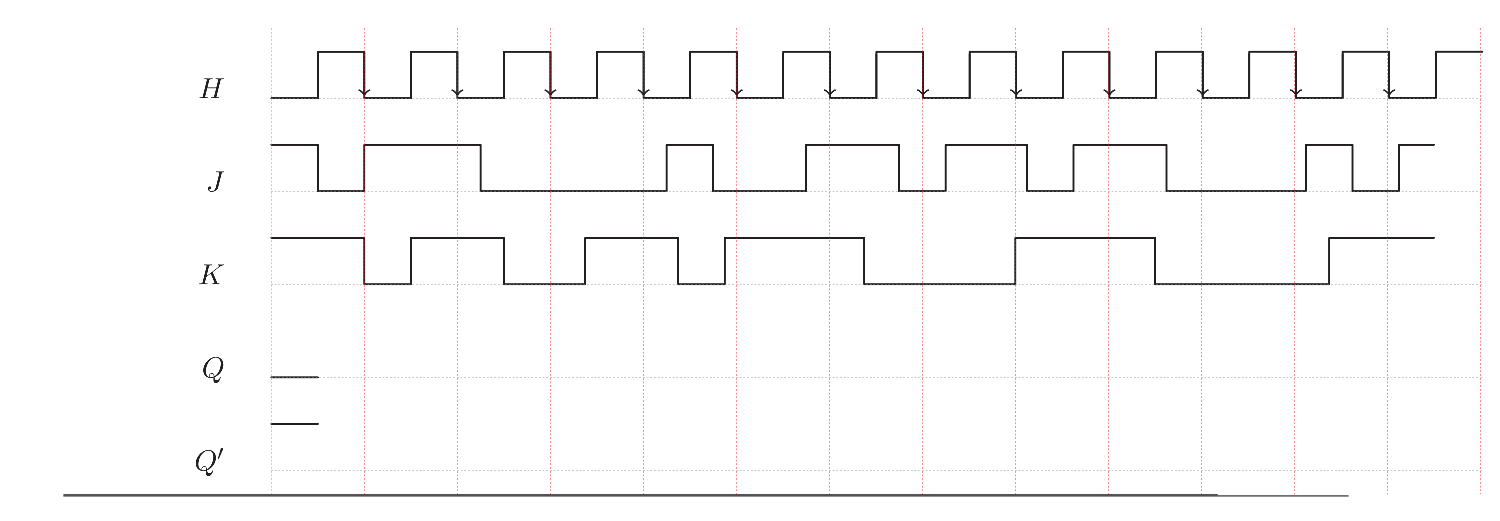
A. JK est synchronisée sur le front montant — القلاب متزامن عند الجبهة الصاعدة

B. JK est synchronisée sur le front descendant — القلاب متزامن عند الجبهة النازلة

Sur le front montant



sur le front descendant



H
J
K
Q
Q'

9.1.2 Sujet n°2

i. Démontrer l'équation suivante par les propriétés algébriques — برهن ما يلي بالخواص الجبرية

$$A + \bar{A}B + \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}\bar{C}\bar{D}E = A + B + C + D + E$$

ii. Faire la soustraction en BCD, **1453** et **671** — اطرح ما يلي في العشري المرمّز بالثنائي BCD
expliquer comment corriger le résultat. — ثم اشرح كيف تصحح النتيجة

iii. Déterminer les deux nombres précédents de x en code gray — أعط العددين السابقين للعدد x في ترميز غراي

$$\mathbf{x} = (\mathbf{1011\,1001\,1111\,1011})_{\mathbf{gray}}$$

On veut réaliser un circuit qui permet de donner le plus grand diviseur d'un nombre binaire de 4 bits (à part lui même).

نريد تصميم دارة تعطي القاسم الأكبر لعدد ثنائي مكوّن من 4 بتات (عدا نفسه).

Réaliser le circuit. — أنجز الدارة المنطقية

i. Les entrées/sorties — مداخل ومخارج

ii. Table de vérité — جدول الحقيقة

iii. Formes canoniques numériques — الأشكال القانونية الرقمية

iv. Simplification par tableau de Karnaugh — التبسيط بجدول كارنوف

v. Exprimer les sorties simplifiées en utilisant uniquement des NAND — عبّر عن المخارج المبسّطة بنفي الوصل NAND فقط

vi. Tracer le logigramme par les NAND uniquement — ارسم المخطط ببوابات NAND فقط

Refaire le circuit de l'exercice 2 à l'aide d'un décodeur et un minimum de portes logiques.

أعد رسم دارة التمرين 2 باستخدام مفكك واحد وأقل ما يمكن من البوابات المنطقية.

Soit la bascule XY, définie par la table de vérité suivante. — لدينا القلاب XY المعرّف بجدول الحقيقة

X	Y	Q^+
0	0	0
0	1	$\overline{Q}$
1	0	$\overline{Q}$
1	1	1

i. Compléter le chronogramme selon les cas suivants, et donner la table de vérité pour chaque cas.

أكمل المخطط الزمني حسب الحالات الآتية وأعط جدول الحقيقة لكل حالة

A. XY est asynchrone

القلاب غير متزامن

B. XY est synchronisée sur le front montant

القلاب متزامن عند الجبهة الصاعدة

C. XY est synchronisée sur le front descendant

القلاب متزامن عند الجبهة النازلة

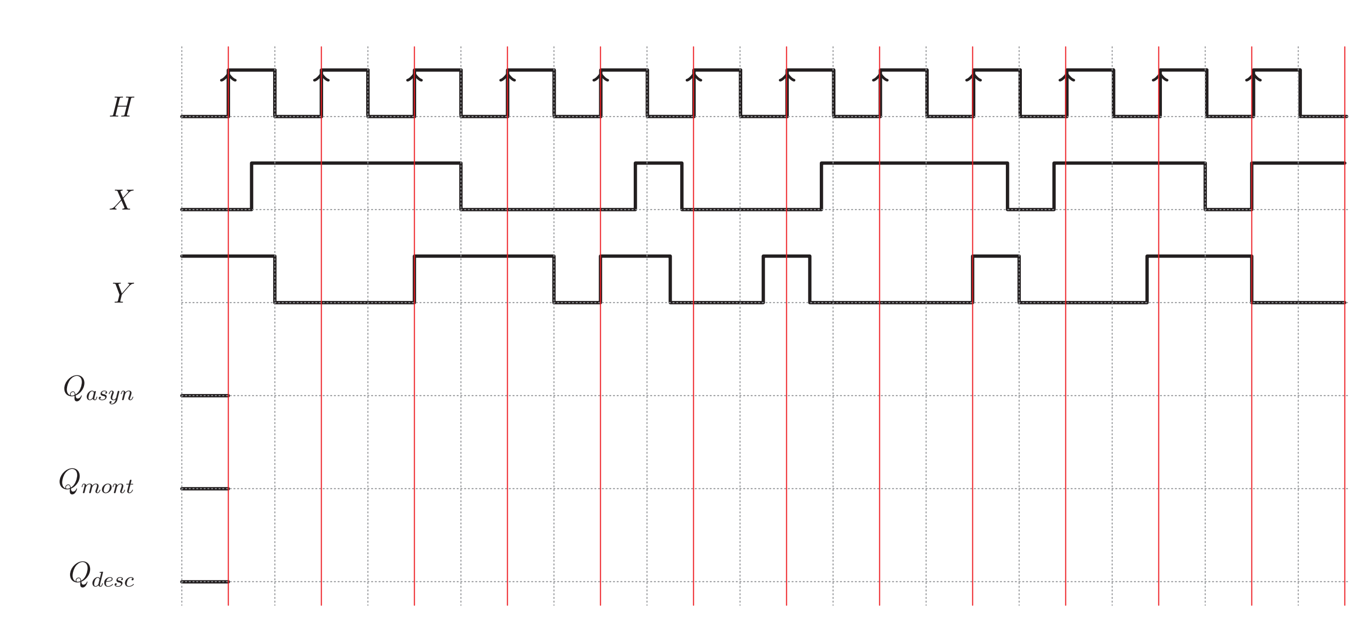
Nom & prénom : .... Groupe : ....

ملاحظة : ترسم كل الحالات في مخطط واحد، على هذه الورقة، مع كتابة الاسم،

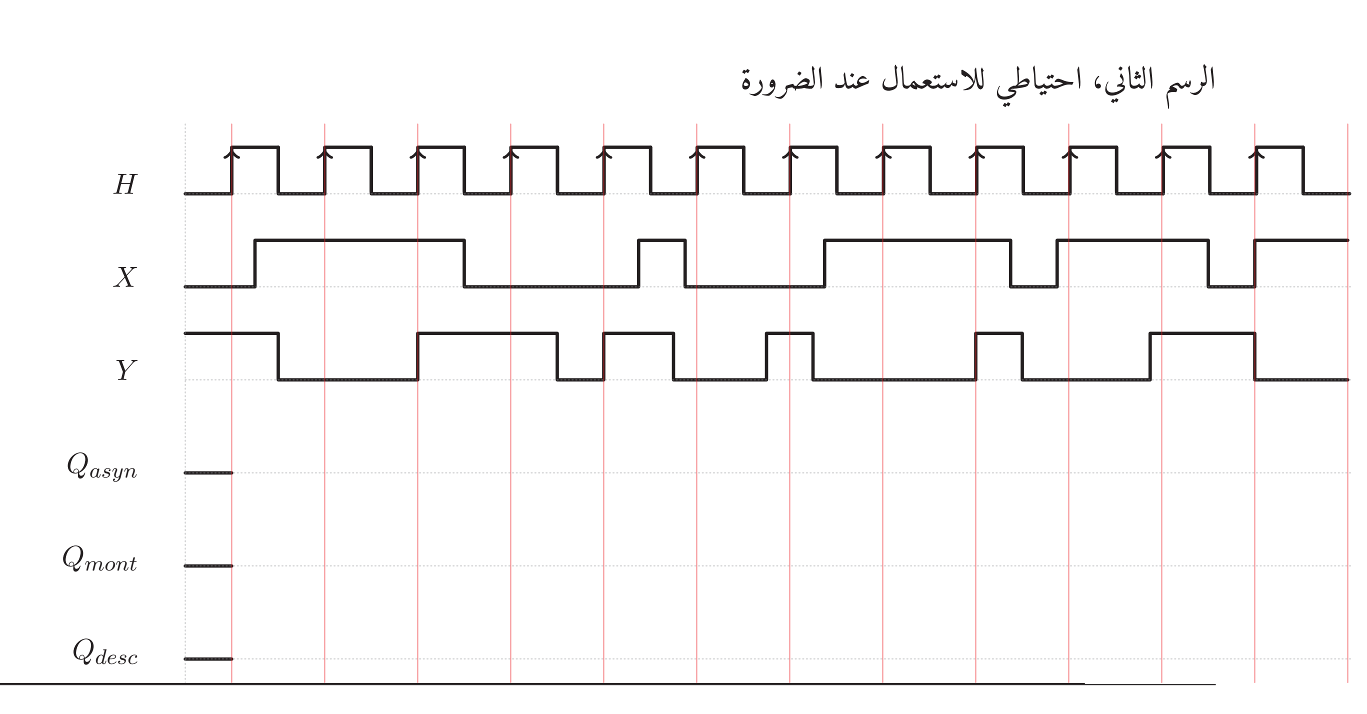
يمكن استخدام قلم الرصاص،

الرسم الثاني، احتياطي للاستعمال عند الضرورة

تُسلّم الورقة الثانية مع ورقة الإجابة



الرسم الثاني، احتياطي للاستعمال عند الضرورة



Chapitre 10

Solutions des Examen حلول الامتحانات

10.1 Corrigées des examens حلول امتحانات

10.1.1 Solution du sujet n°1

Exercice n°1 [5pts :2, 1, 1, 1]

i. Simplifier l'expression suivante par les propriétés algébriques بسّط بالخواص الجبرية
$S = a.c.d+\bar{a}.\bar{b}+\bar{a}.\bar{d}+\bar{b}.\bar{d}+\bar{b}.d+a.c.d+\bar{a}.b.c.\bar{d}+\bar{a}.b.\bar{c}+a.b.c.\bar{d}+\bar{a}.\bar{c}+\bar{b}.\bar{c}+\bar{c}.\bar{d}+a.b.c.d+a.\bar{b}.\bar{d}+\bar{a}.b.\bar{d}+\bar{a}.\bar{b}.d$

Réponse

$= \bar{b}+\bar{d}+a.c+\bar{a}.\bar{c}$

ii. Coder les nombres suivants en BCD, ensuite faire l'addition correcte. رمّز العددين في BCD ثم اجمعها جمعًا صحيحا

1099 et 2019

Réponse :

$1099 = (0001\,0000\,1001\,1001)_{BCD}$

$2019 = (0010\,0000\,0001\,1001)_{BCD}$

$= (0011\,0000\,1011\,0010)_{BCD}$

$= (\qquad +0110\,0110)_{BCD}$

$= (0011\,0001\,0001\,1000)_{BCD}$

iii. Déterminer les deux nombres successeurs de x en code gray أعط العددين المواليين للعدد x في ترميز غراي

$x = (1011\,1000\,1101)_{gray}$ **Réponse :**
Le nombre de '1' est impaire, on inverse le bit à gauche du '1' le plus à droite.

$x+1 = (1011\,1000\,11\mathbf{1}1)_{gray}$

Le nombre de bit est pair, donc on inverse le dernier chiffre

$x+2 = (1011\,1000\,111\mathbf{0})_{gray}$

iv. Si le code de 'z' en code ASCII est $(7a)_{16}$, et le code de l'espace est $(20)_{16}$, décoder le message suivant : إذا كان ترميز ='z'$(7a)$_16 والفراغ هو (20)_16، فكك ترميز الرسالة

Réponse : 'have fun' 68 61 76 65 20 66 75 6E

01 **Exercice n°2**

i. Définition des entrées et des sorties تعريف المداخل والمخارج

→ Les entrées المداخل :

* le Poids A : 'a un défaut ' noté 1 'pas de défaut ' noté 0
* la Taille B : 'a un défaut ' noté 1 'pas de défaut ' noté 0
* la couleur C : 'a un défaut ' noté 1 'pas de défaut ' noté 0

* l'odeur D : 'a un défaut ' noté 1 'pas de défaut ' noté 0

→ Les sorties المخارج

* Premier choix C1: 'oui' noté 1 'non' noté 0
* Deuxième choix C2: 'oui' noté 1 'non' noté 0
* Troisième Choix C3: 'oui' noté 1 'non' noté 0
* Rejeté R : 'oui' noté 1 'non' noté 0

ii. Table de vérité جدول الحقيقة

N°	A	B	C	D	C1	C2	C3	R
0	0	0	0	0	1	0	0	0
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	0
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	0	1	0
6	0	1	1	0	0	0	1	0
7	0	1	1	1	0	0	0	1
8	1	0	0	0	0	1	0	0
9	1	0	0	1	0	0	1	0
10	1	0	1	0	0	0	1	0
11	1	0	1	1	0	0	0	1
12	1	1	0	0	0	0	0	0
13	1	1	0	1	0	0	0	1
14	1	1	1	0	0	0	0	1
15	1	1	1	1	0	0	0	1

iii. Les formes canoniques الأشكال القانونية

$$C1(A, B, C, D) = \sum[0]$$

$$C1(A, B, C, D) = \prod[1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15]$$

$$C2(A, B, C, D) = \sum[1, 2, 4, 8]$$

$$C2(A, B, C, D) = \prod[0, 3, 5, 6, 7, 9, 10, 11, 12, 13, 14, 15]$$

$$C3(A, B, C, D) = \sum[3, 5, 6, 9, 10, 12]$$

$$C3(A, B, C, D) = \prod[0, 1, 2, 4, 7, 8, 11, 13, 14, 15]$$

$$R(A, B, C, D) = \sum[7, 11, 13, 14, 15]$$

$$R(A, B, C, D) = \prod[0, 1, 2, 3, 4, 5, 6, 8, 9, 10, 12]$$

iv. Tableaux de Karnough مخطط كارنوف

→ Tableau de Karnough de la fonction C1 مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

La forme simplifiée الشكل المبسط

$C1 = \bar{a}.\bar{b}.\bar{c}.\bar{d}$

Tableau de Karnough de la fonction C2 كارنوف
للدالة

AB \ CD	00	01	11	10
00	0	1	0	1
01	1	0	0	0
11	0	0	0	0
10	1	0	0	0

La forme simplifiée الشكل المبسط

$C2 = a.\bar{b}.\bar{c}.\bar{d} + \bar{a}.b.\bar{c}.\bar{d} + \bar{a}.\bar{b}.c.\bar{d} + \bar{a}.\bar{b}.\bar{c}.d$

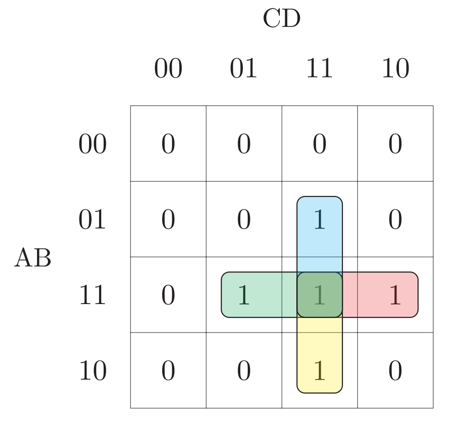
→ Tableau de Karnough de la fonction C3 مخطط كارنوف للدالة

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	1	0	1
11	1	0	0	0
10	0	1	0	1

La forme simplifiée الشكل المبسط

$C3 = a.b.\bar{c}.\bar{d} + a.\bar{b}.c.\bar{d} + a.\bar{b}.\bar{c}.d + \bar{a}.b.c.\bar{d} + \bar{a}.b.\bar{c}.d + \bar{a}.\bar{b}.c.d$

→ Tableau de Karnough de la fonction R كارنوف
للدالة

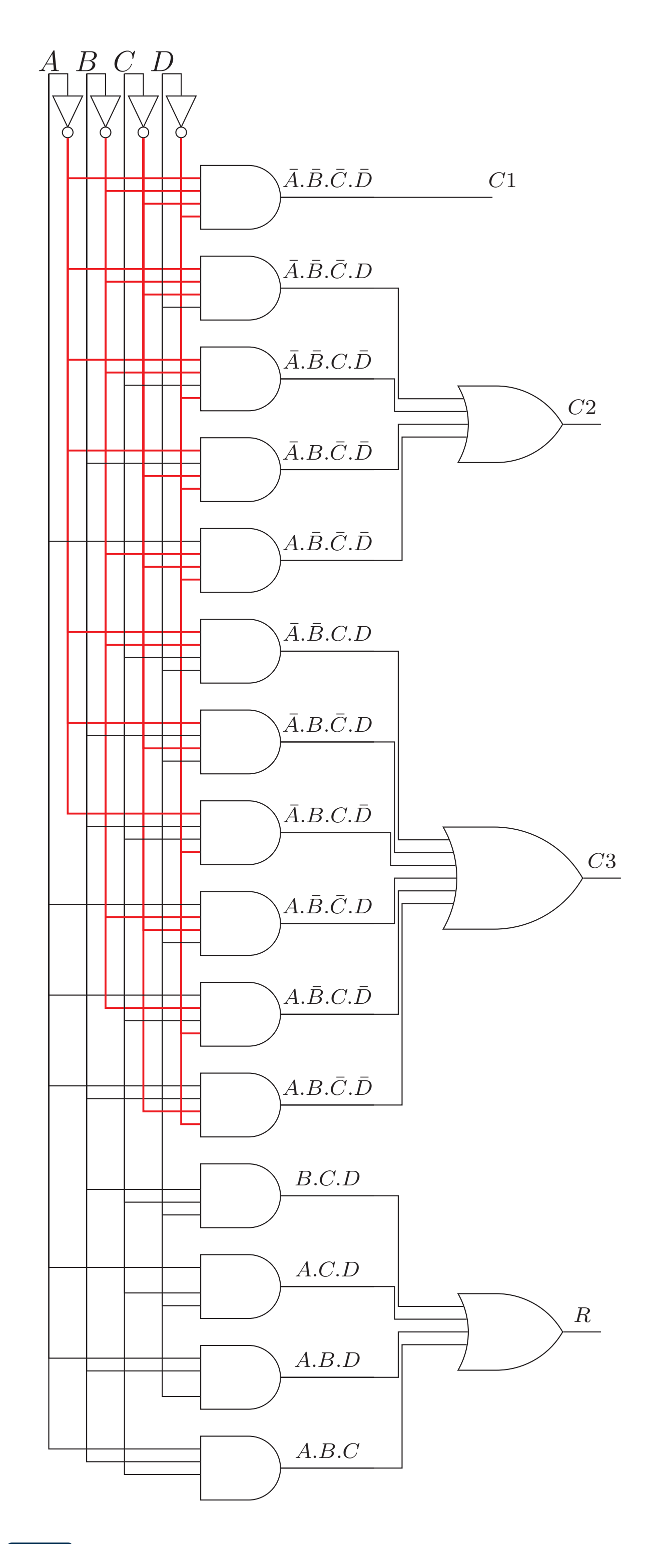


AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	0	1	1	1
10	0	0	1	0

La forme simplifiée الشكل المبسط

$R = a.b.c + a.b.d + a.c.d + b.c.d$

→ Logigrammes المخططات المنطقية



02

Exercice n°3

Refaire le circuit de l'exercice 2 à l'aide des multiplexeurs uniquement.

أعد الدارة من التمرين 2 باستخدام مجمعات فقط.

v. Refaire le circuit à l'aide des multiplexeurs uniquement.

اصنع جامعا كاملا بواسطة أقل عدد من المجمعات ذات 16 مدخلا لأن عدد المتغيرات 4. مدخلا لأن عدد المتغيرات 4.

لحل هذه المسألة، نستحضر جدول حقيقة الدارة الأولى، ثم نستذكر شكل المجمّع ذي 16 مدخلا وجدول حقيقته، ثم نبحث عن التطابق بينهما. نستذكر شكل المجمّع ذي 16 مدخلا وجدول حقيقته، ثم نبحث عن التطابق بينهما.

Schéma bloc d'un multiplexeur 16 à 1 المخطط المصمت لمجمّع 16 إلى 1

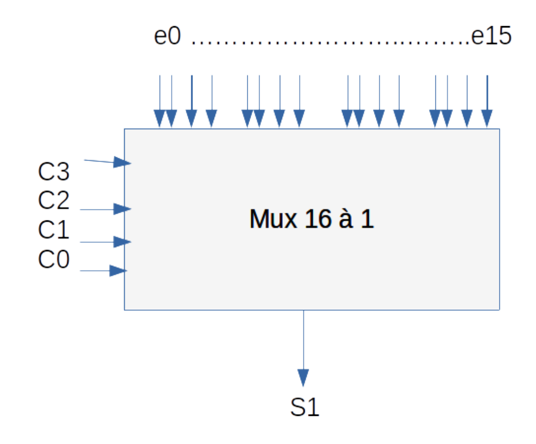
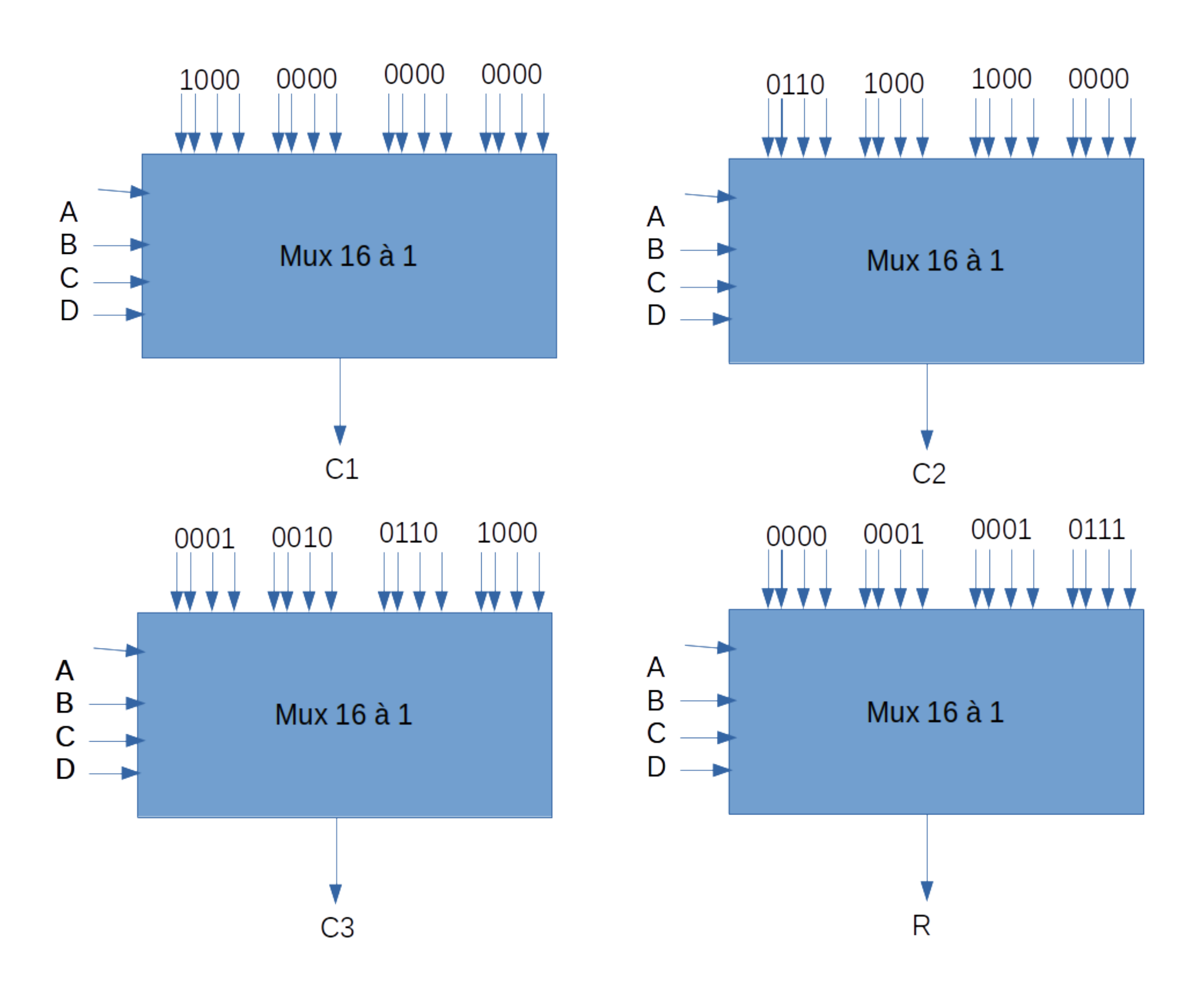


Table de vérité d'un multiplexeur 16 à 1 جدول حقيقة مجمّع 16 إلى 1

N°	C_3	C_2	C_1	C_0	S_{mux}
0	0	0	0	0	e0
1	0	0	0	1	e1
2	0	0	1	0	e2
3	0	0	1	1	e3
4	0	1	0	0	e4
5	0	1	0	1	e5
6	0	1	1	0	e6
7	0	1	1	1	e7
8	1	0	0	0	e8
9	1	0	0	1	e9
10	1	0	1	0	e10
11	1	0	1	1	e11
12	1	1	0	0	e12
13	1	1	0	1	e13
14	1	1	1	0	e14
15	1	1	1	1	e15

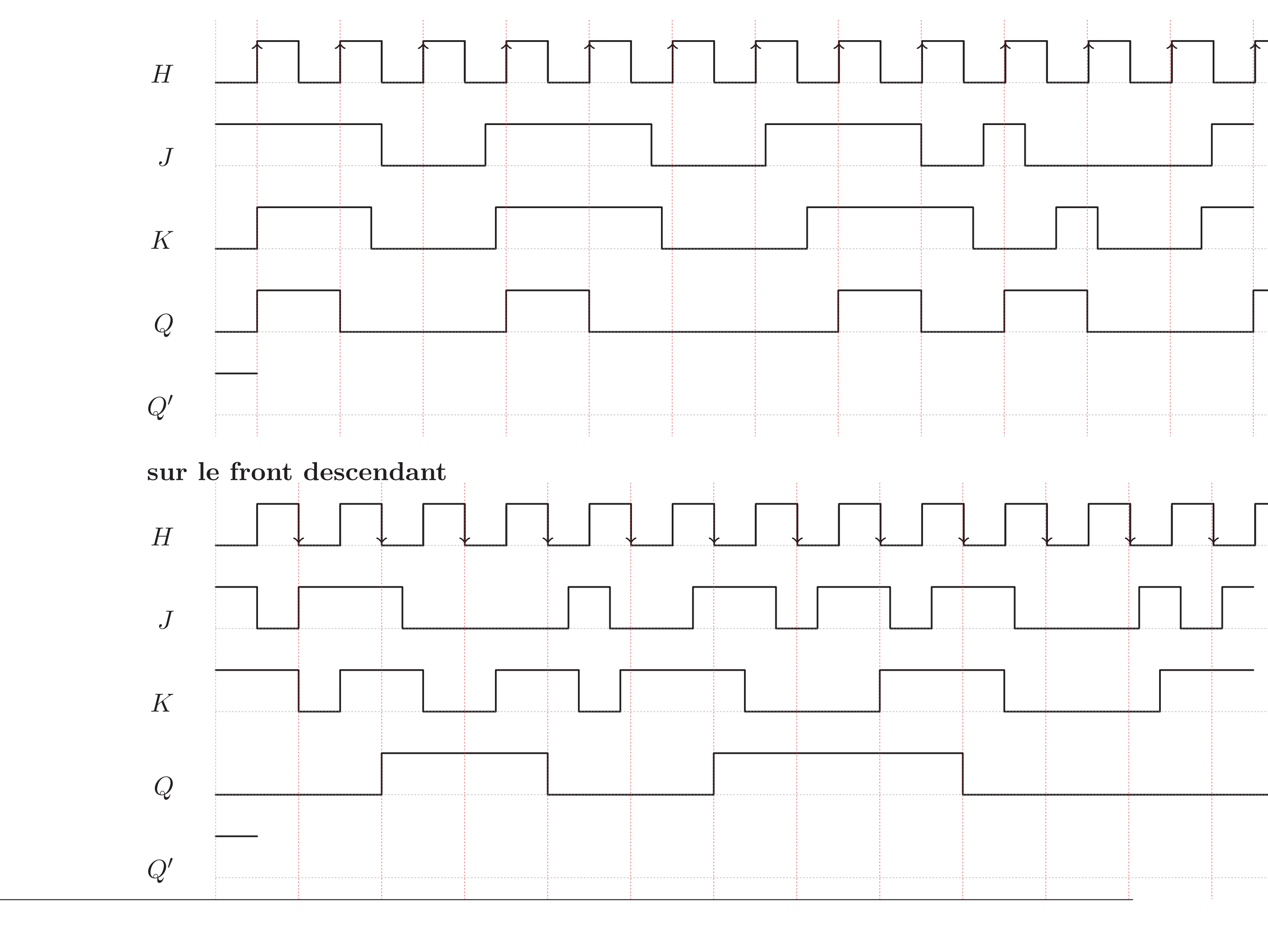
Table de vérité de correspondance جدول حقيقة المطابقة

N°	A	B	C	D	C1	C2	C3	R	S_{mux}
0	0	0	0	0	1	0	0	0	e0
1	0	0	0	1	0	1	0	0	e1
2	0	0	1	0	0	1	0	0	e2
3	0	0	1	1	0	0	1	0	e3
4	0	1	0	0	0	1	0	0	e4
5	0	1	0	1	0	0	1	0	e5
6	0	1	1	0	0	0	1	0	e6
7	0	1	1	1	0	0	0	1	e7
8	1	0	0	0	0	1	0	0	e8
9	1	0	0	1	0	0	1	0	e9
10	1	0	1	0	0	0	1	0	e10
11	1	0	1	1	0	0	0	1	e11
12	1	1	0	0	0	0	0	0	e12
13	1	1	0	1	0	0	0	1	e13
14	1	1	1	0	0	0	0	1	e14
15	1	1	1	1	0	0	0	1	e15



03 **Exercice n°4**

sur le front montant



10.1.2 Sujet n°1

Correction — إجابة نموذجية

i. Démontrer l'équation suivante par les propriétés algébriques — برهن ما يلي بالخواص الجبرية

$$A + \bar{A}B + \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}\bar{C}\bar{D}E = A + B + C + D + E$$

ii. Faire la soustraction en BCD, **1453** et **671** — اطرح ما يلي في العشري المرمّز
BCD بالثنائي
expliquer comment corriger le résultat. — ثم اشرح كيف تصحح النتيجة

iii. Déterminer les deux nombres précédents de x en code gray — أعط العددين السابقين للعدد x في ترميز غراي

$$\mathbf{x} = (\mathbf{1011\,1001\,1111\,1011})_{\mathbf{gray}}$$

i. Q1 S $= A + \bar{A}B + \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}\bar{C}\bar{D}E$ (Element commun)
$= A + \bar{A}(B + \bar{B}C + \bar{B}\bar{C}D + \bar{B}\bar{C}\bar{D}E)$ $(A + \bar{A}.(X) = A + X)$

$= A + B + \bar{B}C + \bar{B}\bar{C}D + \bar{B}\bar{C}\bar{D}E$

$= A + B + \bar{B}(C + \bar{C}D + \bar{C}\bar{D}E)$ $\qquad (B + \bar{B}.(X) = B + X)$

$= A + B + C + \bar{C}D + \bar{C}\bar{D}E)$

$= A + B + C + \bar{C}(D + \bar{D}E)$ $\qquad (C + \bar{C}.(X) = C + X)$

$= A + B + C + D + \bar{D}E$ $\qquad (D + \bar{D}.(X) = D + X)$

$= A + B + C + D + E$

ii. Q2 :

$1453 = (0001 \quad 0100 \quad 0101 \quad 0011)_{BCD}$

$+0671 = (0000 \quad 0110 \quad 0111 \quad 0001)_{BCD}$

$= (0000 \quad 1101 \quad 1110 \quad 0010)_{BCD}$

$(\qquad -0110 - 0110 \qquad)_{BCD}$

$= (0000 \quad 0111 \quad 1000 \quad 0010)_{BCD}$

iii. Q3

le nombre précédent (x-1) a un nombre impair de '1', donc on inverse le bit a gauche de '1' le plus à droite

$x - 1 = (1011\,1001\,1111\,10\mathbf{01})_{gray}$

le nombre précédent (x-2)a un nombre pair de '1', donc on inverse dernier bit à droite

$x - 2 = (1011\,1001\,1111\,100\mathbf{0})_{gray}$

On veut réaliser un circuit qui permet de donner le plus grand diviseur d'un nombre binaire de 4 bits (à part lui même).

نريد تصميم دارة تعطي القاسم الأكبر لعدد ثنائي مكوّن من 4 بتات (عدا نفسه).

Réaliser le circuit. أنجز الدارة المنطقية

i. Les entrées/sorties مداخل ومخارج

ii. Table de vérité جدول الحقيقة

iii. Formes canoniques numériques الأشكال القانونية الرقمية

iv. Simplification par tableau de Karnaugh التبسيط بجدول كارنوف

v. Exprimer les sorties simplifiées en utilisant uniquement des NAND عبّر عن المخارج المبسّطة بنفي الوصل NAND فقط

vi. Tracer le logigramme par les NAND uniquement ارسم المخطط ببوابات NAND فقط

i. Définition des entrées et des sorties تعريف المداخل والمخارج

→ Les entrées المداخل : un nombre sur 4 bits $N = (ABCD)_2$

→ Les sorties المخارج Le plus grand diviseur PGD(N), 3 bits car $PGD(15) = (5)_{10} = (101)_2$ et $PGD(12) = (6)_{10} = (110)_2$

ii. Table de vérité جدول الحقيقة

N°	A	B	C	D	PGD	S2	S1	S0
0	0	0	0	0	X	X	X	X
1	0	0	0	1	1	0	0	1
2	0	0	1	0	1	0	0	1
3	0	0	1	1	1	0	0	1
4	0	1	0	0	2	0	1	0
5	0	1	0	1	1	0	0	1
6	0	1	1	0	3	0	1	1
7	0	1	1	1	1	0	0	1
8	1	0	0	0	4	1	0	0
9	1	0	0	1	3	0	1	1
10	1	0	1	0	5	1	0	1
11	1	0	1	1	1	0	0	1
12	1	1	0	0	6	1	1	0
13	1	1	0	1	1	0	0	1
14	1	1	1	0	7	1	1	1
15	1	1	1	1	5	1	0	1

iii. Une autre Solution حل آخر

N°	A	B	C	D	PGD	S2	S1	S0
0	0	0	0	0	X	X	X	X
1	0	0	0	1	X	X	X	X
.								
15	1	1	1	1	5	1	0	1

111 1111

iv. Les formes canoniques الأشكال القانونية

الشكل القانوني الرقمي هو المطلوب، الشكل القانوني العادي لا يحتسب

→ La première forme canonique numérique ; الشكل القانوني الرقمي الأول

* $S2(A, B, C, D) = \sum[8, 10, 12, 14, 15]$
* $S1(A, B, C, D) = \sum[4, 6, 9, 12, 14]$
* $S0(A, B, C, D) = \sum[1, 2, 3, 5, 6, 7, 9, 10, 11, 13, 14, 15]$

→ La deuxième forme canonique numérique ; الشكل القانوني الرقمي الثاني

* $S2(A, B, C, D) = \prod[1, 2, 3, 4, 5, 6, 7, 9, 11, 13]$
* $S1(A, B, C, D) = \prod[1, 2, 3, 5, 7, 8, 10, 11, 13, 15]$
* $S0(A, B, C, D) = \prod[4, 8, 12]$

v. Tableaux de Karnough مخطط كارنوف

→ la fonction S2 الدالة

AB \ CD	00	01	11	10
00	X	0	0	0
01	0	0	0	0
11	1	0	1	1
10	1	0	0	1

La forme simplifiée الشكل المبسط
S2 $= a.\bar{d} + a.b.c$

→ La fonction S0 الدالة

AB \ CD	00	01	11	10
00	X	1	1	1
01	0	1	1	1
11	0	1	1	1
10	0	1	1	1

La forme simplifiée الشكل المبسط
S0 $= c + d$

Les formes simplifiées

→ S2(A, B, C, D) $= a.\bar{d} + a.b.c$

→ S1(A, B, C, D) $= b.\bar{d} + a.\bar{b}.\bar{c}.d$

→ S0(A, B, C, D) $= c + d$

vi. Les formes NAND

→ S2(A, B, C, D) $= = \overline{\overline{a.\bar{d} + a.b.c}}$
$= \overline{\overline{a.\bar{d}}.\overline{a.b.c}}$
$= (a \uparrow \bar{d}) \uparrow (a \uparrow b \uparrow c)$
$= (a \uparrow (d \uparrow d)) \uparrow (a \uparrow b \uparrow c)$

→ S1(A, B, C, D) $= b.\bar{d} + a.\bar{b}.\bar{c}.d = \overline{\overline{b.\bar{d} + a.\bar{b}.\bar{c}.d}}$
$= \overline{\overline{b.\bar{d}}.\overline{a.\bar{b}.\bar{c}.d}}$
$= \big(b \uparrow (d \uparrow d)\big) \uparrow \big(a \uparrow (b \uparrow b) \uparrow (c \uparrow c) \uparrow d\big)$

→ Tableau de Karnough de la fonction S1 ل كارنوف للدالة

AB \ CD	00	01	11	10
00	X	0	0	0
01	1	0	0	1
11	1	0	0	1
10	0	1	0	0

La forme simplifiée الشكل المبسط
S1 $= b.\bar{d} + a.\bar{b}.\bar{c}.d$

$\rightarrow$ S0(A, B, C, D) $= c + d$

$= \overline{\overline{c + d}}$

$= \overline{\bar{c}.\bar{d}}$

$= (c \uparrow c) \uparrow (d \uparrow d)$

vii. Logigrammes المخططات المنطقية

المخطط المنطقي العادي غير مطلوب

Refaire le circuit de l'exercice 2 à l'aide d'un décodeur et un minimum de portes logiques.

أعد رسم دارة التمرين 2 باستخدام مفكك واحد وأقل ما يمكن من البوابات المنطقية.

Table de vérité de correspondance

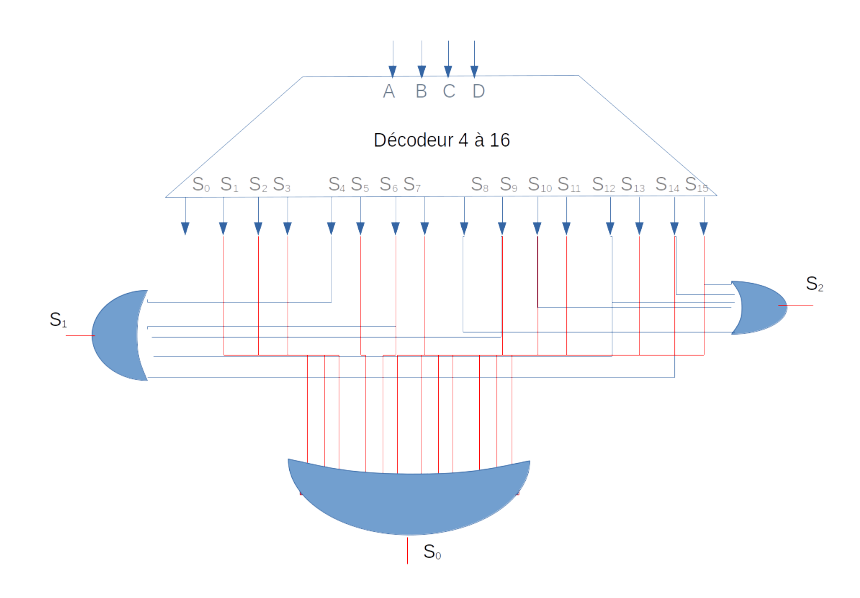
N°	A	B	C	D	S2'	S1'	S0'	S0	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12	S13	S14	S15
0	0	0	0	0	X	X	X	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
3	0	0	1	1	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
4	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
5	0	1	0	1	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
6	0	1	1	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
7	0	1	1	1	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
8	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
10	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
11	1	0	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
12	1	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
13	1	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
14	1	1	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
15	1	1	1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

On constate que :

$\rightarrow$ S2'(A, B, C, D)$= \sum(8, 10, 12, 14, 15) = \sum(S8, S10, S12, S14, S15)$

$\rightarrow$ S1'(A, B, C, D)$= \sum(4, 6, 9, 12, 14) = \sum(S4, S6, S9, S12, S1)$

$\rightarrow$ S0'(A, B, C, D)= $\sum(1, 2, 3, 5, 6, 7, 9, 10, 11, 13, 14, 15) = \sum(S1, S2, S3, S5, S6, S7, S9, S10, S11, S13,$



Soit la bascule XY, définie par la table de vérité suivante. لدينا القلاب XY المعرّف بجدول الحقيقة

X	Y	Q^+
0	0	0
0	1	$\overline{Q}$
1	0	$\overline{Q}$
1	1	1

i. Compléter le chronogramme selon les cas suivants, et donner la table de vérité pour chaque cas. أكمل المخطط الزمني حسب الحالات الآتية وأعط جدول الحقيقة لكل حالة

A. XY est asynchrone القلاب غير متزامن

B. XY est synchronisée sur le front montant القلاب متزامن عند الجبهة الصاعدة

C. XY est synchronisée sur le front descendant القلاب متزامن عند الجبهة النازلة

Notes : table de vérité 0.5pt, Asyn 1.5, Front montant 1, front desc 1

Table de vérité (Cas Asynchrone)

X	Y	Q^+
0	0	0
0	1	$\overline{Q}$
1	0	$\overline{Q}$
1	1	1

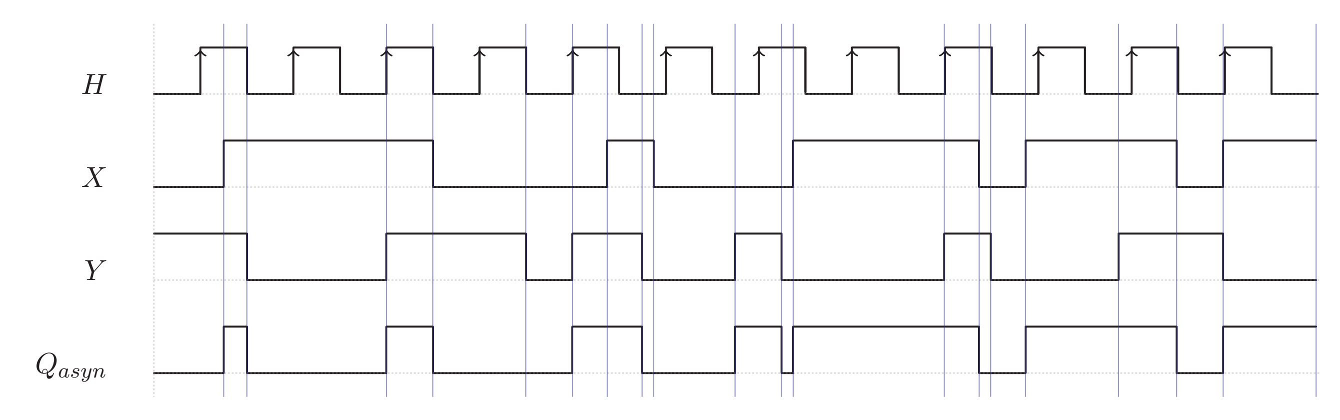


Table de vérité (Cas synchrone sur le front montant)

H	X	Y	Q^+
0/1	X	X	Q
↑	0	0	0
↑	0	1	$\overline{Q}$
↑	1	0	$\overline{Q}$
↑	1	1	1

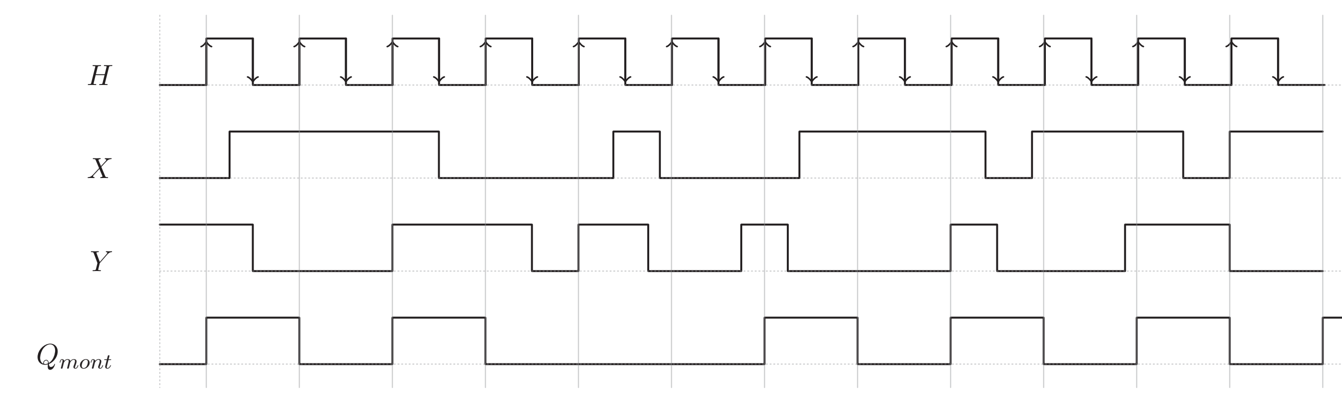
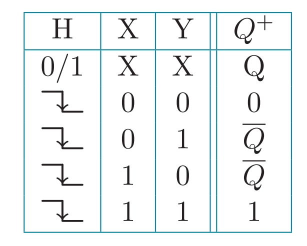
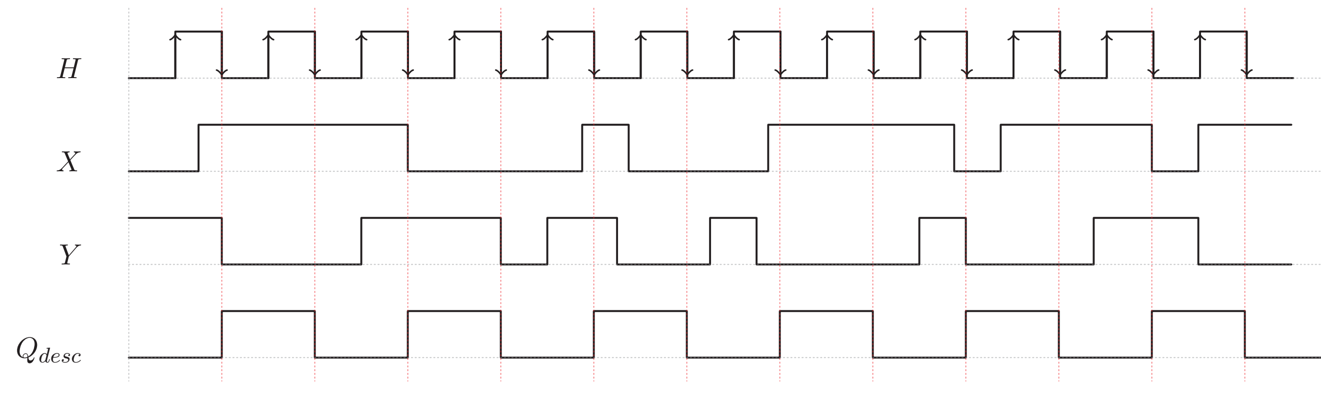


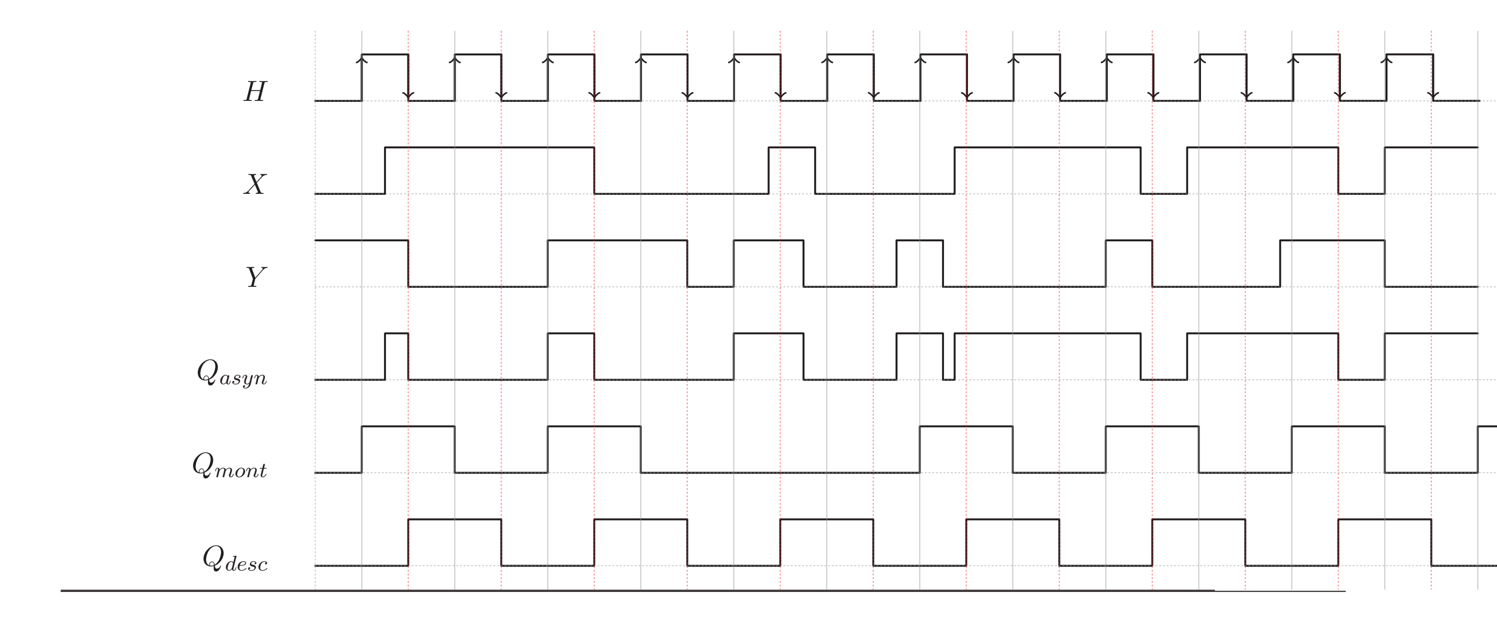
Table de vérité (Cas synchrone sur le front descendant)



H	X	Y	Q^+
0/1	X	X	Q
↓	0	0	0
↓	0	1	$\overline{Q}$
↓	1	0	$\overline{Q}$
↓	1	1	1



Globale



H
X
Y
Q_asyn
Q_mont
Q_desc

Chapitre 11

Annexes

ملحقات

Annexe A ملحق أ

هذه قائمة من المراجع والموارد المفيدة لطالب السنة الأولى إعلام آلي :

11.0.1 Livres كتب

→ كتاب نبراس : دليل المصطلحات للشعب التقنية http://nibras.sf.net (Zerrouki, 2012).

→ Ait-Aoudia Samy, Architecture des systèmes informatiques, OPU, 2012, (Aït-Aoudia, 2012).

→ Drias-Zerkaoui Habiba Introduction à l'architecture des ordinateurs, OPU, 2003 (Drias-Zerkaoui, 2003).

→ M.C. Belaid, Algèbre de Boole et Fonctions Logiques, Pages bleus, 2007 (Belaid, 2007a).

→ M.C. Belaid, Circuits Logiques Combinatoires et Séquentiel, Pages bleus, 2007(Belaid, 2007b).

→ Souag Nadia, Logique combinatoire : Exércices corrigés (Souag, 2013),

11.0.2 Cours en ligne دروس أونلاين

→ Cours Informatique par Taha Zerrouki : http://infobouirauniv.wordpress.com (Zerrouki, 2013)

→ Cours Structure machine par Hakim Amrouche http://amrouche.esi.dz (Amrouche, 2021)

→ TD et Examen par Pr. Amar Balla : http://balla.esi.dz/ (Balla, 2021)

→ TD et Examen par Kara Abdelaziz : https://www.el-kalam.com/ (Abdelaziz, 2022)

→ http://www.allaboutcircuits.com/

→ DZuniv Le paradis des étudiants https://dzuniv.com/

11.0.3 Software برامج وتطبيقات

→ تطبيق نبراس : دليل المصطلحات للشعب التقنية http://nibras.sf.net

→ Logiciel de simulation Multimedia logic http://multimedialogic.sourceforge.net/

11.1 Glossaire مسرد

Français	العربية
Accès	بلوغ، وصول، دخول
Acquérir	اكتسب
Action	فعل، عملية - عمل
Addition	جمع
Admis	مقبول
Adresse	عنوان
Affectation	تخصيص
Aléatoire	عشوائي
Algorithmique	الخوارزميات
Alimentation	تزويد - تغذية
Alphabet	أبجدية
Alternée	متناوب
And	و (الوصل)
Application	تطبيق
Array	جدول
Article	بند
Article	مقال
Ascii	الشفرة الأمريكية القياسية لتبادل المعلومات
Associatif	تجميعي
Association	تجميع
Asynchrone ? synchrone	غير متزامن ؟ متزامن
Au fur et à mesure	بالتوالي- بالتتابع - بالتناسب
Automatique	آلي
Bascule	قلاّب - نطّاط
Base	أساس، قاعدة
BCD : Binary Coded decimal	عدد عشري مرمّز في النظام الثنائي
Binaire	ثنائي
Bit (binary digit)	رقم ثنائي
Bloc	كتلة
Boolean	منطقي، بولياني
Borne	حد، طرف
Boucle	حلقة
Branchement	تفرع
Buffer	مخزن مؤقت
Canonique	قانوني
Capacité	سعة
Caractère	حَرف/ رمز (محرف)
Caractéristique	ميزة
Cas	حالة
Cellule	خلية
Chaîne	سلسلة
Champ	حقل
Charge	شحنة
Chiffres significatifs	الأرقام ذات الدلالة
Choix	اختيار
Circuit	دارة
Circuit logique	دارة منطقية
Circuit séquentiel	دارة سببية
Codage	ترميز
Codeur	مُرمِّز (أداة الترميز)
Coéfficient	معامل
Colonne	عمود
Combinaison	توفيقة
Combinatoire	توفيقي
Commande	أمر – تعليمة، تحكم
Commentaire	تعليق
Commutatif	تبديلي
Comparaison	مقارنة
Comparateur	مُقارِن (أداة مقارنة)
Compatibilité	تجانس، تلاؤم
Compilation	تأليف- تصنيف – ترجمة،
Complément	متمم
Complément restreint	متمم مقتصر
Complément à un	متمّمً – إلى الواحد
Complément Vrai à deux	متمم حقيقي
Complexe	مركّب- معقّد
Composition	تركيب
Conception	تصميم - تصوّر
Concernant	فيما يخص
Concevoir	صمّم – تصوّر
Condensé	مكثّف- كثيف
Condition	شرط، قيد
Conducteur	ناقل، موصل
Configuration	إعدادات، شكل، مظهر
Configurer	صاغ، أعدّ
Conjugué	مرافق
Conséquence	نتيجة
Constant	ثابت
Constituer (il constitue)	كوّن يكوّن
Continu	مستمر
Convenir (il convient)	يناسب
Convention	اصطلاح
Conversion	تحويل
Coordination	تنسيق
Coordonnées	إحداثيات
Correspondant	مرافق
Correspondre	يرافق يراسل
Couple	زوج، ثنائية
Courant	تيار
Croissance	تزايد
Cycle	دورة

D'autre part	إضافة إلى / رد على ذلك/ من جهة أخرى
Débordement	طفح (فيضان)
Déclaration	تصريح، إعلان
Décodage	فك الترميز
Décomposition	تفكيك
Définition	تعريف
Degré	درجة
Démonstration	برهان
Dépendant	مرتبط
Déplacement	إزاحة
Désigne	ترمز لـ
Déterminant	المحدد
Dimension	بعد (أبعاد)
Dimension	بعد (أبعاد)
Diminuer	أنقص ينقص
Direct	مباشر
Directive	توجيه (توجيهات)
Dispositif	جهاز - مكوّن
Disquette	قرص مرن
Distributif	توزيعي
Divergence	تباعد
Divisible	قابل للقسمة
Division	قسمة
Division euclidienne	قسمة إقليدية
Donc	إذن
Données	بيانات، معطيات
Donner	أعطى يعطي
Droite	يمين
Edition	تحرير، تعديل، نشر
Effectif	فعلي
Effectuer	أنجز ينجز
Egalité	مساواة
Electrique	كهربائي
Else	وإلا (إذا لم يكن)
Encodeur	أداة الترميز
End	نهاية
Engendrer	ولّد يولّد
Ensemble	مجموعة
Entête	رأسية (صدر)
Entier	عدد صحيح
Entrée	مداخل
Enumération	تعداد
Equation	معادلة
Equivalence	تكافؤ
Espace mémoire	حيّز الذاكرة (سعة الذاكرة)
Espèce	نوع، فصيلة
Etiquette	بطاقة
Evident	بديهي، واضح
Exécuter	نفّذ، أنجز
Exécution	تنفيذ، إنجاز
Existe	يوجد
Exponentiel	دالة الأس
Expression	تعبير، عبارة
Exprimer	عبّر يعبّر
Façon	طريقة
Facteur	عامل (عوامل)
Faux	0
Fichier	ملف
Flux	تدفق
Fonction	دالة
Fonction	وظيفة (عملية)
Fonctionnement	وظيفة (عمل)
For	لكل، من أجل
Forme	شكل
Formel	شكلي
Formule	صيغة
Gauche	يسار
Géga	مليار
Générateur	مولد
Gestion	تسيير - إدارة
Graphe	منحنى، بيان
Haut	عالي
Homogène	متجانس
Hypothèse	فرضية
Identificateur	اسم مميز (معرف)
Identification	مطابقة – تعرف على الهوية
Identique	مطابق
If	إذا
Image	صورة
Impair	فردي
Implication	استلزام
Imprimante	طابعة
Impulsion	نبضة
Inclusion	احتواء
Inconvénients	مساوئ
Indéterminé	غير محدد
Indicateur	مؤشر - قرينة
Indice	دليل
Industriel	صناعي
Inférieur	أصغر
Influence	تأثير
Initialisation	ابتداء
Instruction	تعليمة – أمر
Integer	عدد صحيح
Intégré	مدمج
Intersection	تقاطع
Intervalle	مجال
Itération	خطوة
Lié	مرتبط
Ligne	خط
Ligne	سطر

Linéaire	خطي
Liste	قائمة
Loi	قانون
Manière	طريقة
Maximum	قيمة قصوى
Méga	مليون
Mémoire	ذاكرة
Mémoire central	ذاكرة مركزية
Mémoire secondaire	ثانوية
Méthode	طريقة
Microprocesseur	معالج مصغر
Mise à jour	تحديث
Mise en œuvre	إعداد
Modulaire	بالتجزئة
Module	جزء
Modulo (mod)	ترديد (باقي القسمة)
Multiplicateur	أداة ضرب (رياضيات)
Multiplication	ضرب
Multiplication	ضرب (رياضيات)
Muni	مرفق ب
Naturel	طبيعي
Négatif	سالب
Niveau	مستوى
Nombre	عدد
Normalisée	قياسي - مواصف
Notation	ترميز
Note	يرمز له ب
Nul	معدوم
Numérique	رقمي
Objet	شيء - كائن
Obtenu	محصّل عليه
Octet	ثمانية أرقام ثنائية
Opérande	عامل (رياضي)
Opérateur vectoriel	عامل شعاعي
Opération	عملية
Optimal	الأمثل (الأفضل)
Optimisation	إيجاد الأمثل
Ordinateur	حاسوب
Ordre	ترتيب
Ordre	رتبة
Organe	عضو
Origine	مبدأ
Pair	زوجي
Parallèle (en parallèle)	توازي (على التوازي)
Paramètres	وسائط
Particulier	خاص
Partie	جزء
Pc personal computer	حاسوب شخصي
Périphériques	مرافق، ملحقات (ج ملحقة)
Permutation	تبديل

Quotient	حاصل القسمة
Racine	جذر
Racine carrée	جذر تربيعي
Racine cubique	جذر تكعيبي
RAM (random access memory)	ذاكرة الوصول العشوائي
Random	عشوائي
Rang	رتبة
RAZ (remise à zéro)	إعادة إلى الصفر (تصفير)
Read	اقرأ
Réalisation	إنجاز
Réciproque	معاكس
Record	تسجيلة
Récursif	تراجعي
Récursivité	تراجعية
Réductible	قابل للاختزال
Réel	حقيقي
Réflexif	منعكس
Registre	سجّل
Règle	قاعدة
Règles d'écriture	قواعد كتابة
Relatif	نسبي
Relation	علاقة
Relativement	نسبيا
Remarque	ملاحظة
Remplacement	استبدال
Répéter (repeat)	كرّر يكرر
Résistance	مقاومة
Résoudre	حل يحلّ
Respectivement	على الترتيب
Reste	باقي
Restituer	استرجع يسترجع
Restitution	استرجاع
Restriction	اقتصار
Résultat	نتيجة
Retenir	احتفظ يحتفظ
Réunion	اتحاد
ROM (read only memory)	ذاكرة قراءة فقط
Rotation	دوران
Schéma	مخطط – رسم توضيحي
Secondaire	ثانوي
Sélection	اختيار
Semi-conducteur	شبه موصل أو شبه ناقل
Séquence	نسق، تتابع
Séquenceur	منسق، متابع
Série (en série)	تتابع (على التوالي)
Si	إذا كان
Si non	وإلا (إذا لم يكن)
Signal	إشارة
Significatif	ذو معنى

Signifier	عنى يعني
Sinus	دالة جيب
Somme	مجموع
Sorties	مخارج
Sourie	فأرة
Sous-programme	برنامج فرعي
Soustraction	طرح
Sphérique	كروي
Stable	مستقرّ
Statique	ساكن
Stocker	خزّن يخزن
Structure algébrique	البنية الجبرية
Structure machine	بنية الآلة (آليات)
Successif	متتابع
Suite	متتالية
Supérieur	أكبر من
Symbole	رمز
Symétrique	تناظري
Synchrone ? Asynchrone	متزامن ؟ غير متزامن
Synchroniser	زامن يزامن
Système	نظام
Table de vérité	جدول الحقيقة (منطق)
Tableau	جدول
Tampon	مؤقّت
Tampon	مخزن مؤقت
Tant que	ما دام
Temps	زمن
Terme	حد
Texte	نص
Théorème	نظرية
Traitement	معالجة
Traiter	عالج يعالج
Transitif	متعدي
Transmission	إرسال
Type	نوع
UAL (Unité arithmétique et logique)	وحدة الحساب والمنطق
Unique/ unitaire	وحيد/ واحدي
Unité de commande	وحدة التحكم
Unité d'échange	وحدة التبادل
Valeur	قيمة
Vecteur propre	شعاع توجيه (متجه)
Vérification	تدقيق
Vérifier	دقّق يدقق
Virgule fixe	الفاصلة الثابتة
Virgule flottante	الفاصلة العائمة
Vrai	صواب، حقيقي

Bibliographie

Abdelaziz, Kara (2022). *Cours Structure machine : TD et Examen*. url : https://www.el-kalam.com (cf. p. 163).

Aït-Aoudia, Sami (2012). *Architecture des systèmes informatiques*. OPU (cf. p. 163).

Amrouche, Hakim (2021). *Cours Structure machine*. url : http://amrouche.esi.dz (cf. p. 163).

Balla, Amar (2021). *Cours Structure machine : TD et Examen*. url : http://balla.esi.dz (cf. p. 163).

Belaid, Mohamed Cherif (2007a). *Algèbre de Boole et Fonctions Logiques*. Ed. Pages Bleus (cf. p. 163).

– (2007b). *Circuits Logiques Combinatoires et Séquentiel*. Ed. Pages Bleus (cf. p. 163).

Cormier, Gabriel (2015). *Cours Circuits logiques*. Université de Moncton, CANADA. url : http://www8.umoncton.ca/umcm-cormier_gabriel/ (cf. p. 8).

Drias-Zerkaoui, Habiba (2003). *Introduction à l'architecture des ordinateurs*. OPU (cf. p. 163).

Müller, Didier (2021). *Informatique (presque) débranchée*. url : https://www.apprendre-en-ligne.net/infodo/index.html (cf. p. 10).

Souag, Nadia (2013). *Electronique numérique : cours et exercices corriges*. Office des publications universitaires, Algérie (cf. p. 163).

Zerrouki, Taha (2012). *Nibras : Guide des terminologies pour les branches techniques*. Université de Bouira (cf. p. 2, 163).

– (2013). *Cours Informatique*. Université de Bouira. url : http://infobouirauniv.wordpress.com (cf. p. 2, 163).